

基于 FLASHFLEX51 的 MCU

----SST89E/V564/554RD/RC

特性:

8 位集成 SUPERFLASH 存储器的 51 兼容 MCU

- 软件兼容
- 开发工具兼容
- 管脚兼容

SST89E564RD/SST89E554RC 工作范围:

—5V 下 0 到 40MHZ

SST89V564RD/SST89V554RC 工作范围:

—3V 下 0 到 33MHZ

1K 字节片内 RAM

片内两块 SUPERFLASH EEPROM

—SST89E564RD/SST89V564RD:

64K 字节主块 (primary block) + 8K 字节次块 (secondary block) (每个块都以 128 字节为一扇区)

—SST89E554RC/SST89V554RC:

32K 字节主块 (primary block) + 8K 字节次块 (secondary block) (每个块都以 128 字节为一扇区)

- 独立的块密码 (Individual Block Security Lock with Softlock)
- 支持在系统可编程 (IAP—In-Application Programming)
- IAP 期间并发操作 (CONCURRENT OPERATION)
- IAP 期间程序空间溢出中断支持

程序和数据外部存储器空间地址支持范围为 64K 字节

三个 16 位定时计数器

全双工增强型 UART

- 帧错误检测
- 自动地址识别

八个中断源, 四个优先级

可编程看门狗定时器(WDT)

可编程计数阵列 (PCA—Counter Array)

四个八位 I/O 口 (32 个 I/O 脚)

第二 DPTR 寄存器 (Second DPTR register)

低 EMI 模式 (抑制 ALE) (Inhibit ALE)

SPI 串行接口

标准的 12 时钟每系统周期, 该期间可通过配置设置成 6 时钟每系统周期

TTL 和 CMOS 兼容逻辑电平

BROWN-OUT 低压检测

低电压模式

- 可外部中断唤醒的掉电模式
- 休眠模式

PDIP-40, PLCC-44 和 TQFP-44 封装

温度范围:

- 商用 (0—70 摄氏度)
- 工业 (-40—+85 摄氏度)

产品描述:

SST89E564RD, SST89V564RD, SST89E554RC, 和 SST899V554RC 属于 FLASHFLEX51 家族, 以艺术级别的 SUPERFLASH CMOS 半导体处理技术设计和制造的 8 位 MCU。器件使用与 8051 完全相同的指令集, 并与标准的 8051 器件管脚对管脚兼容。

器件内部可集成 72/40K 字节的 FLASH EEPROM 程序存储器, 这是基于 SST 的专利技术和专有的 CMOS SUPERFLASH EEPROM 技术 with the SST'S field-enhancing, tunneling injector, split-gate memory cells. SuperFlash 存储器被分成两部分相对独立的程序存储块。主块 0 占用 64/32K 字节的内部程序存储空间, 次块 1 占用 8K 字节的内部程序存储空间。该 8K 字节的次块可以被映射到 64/32K 字节存储器空间的最低地址空间, 同时该空间也可以通过程序计数器 (Program counter) 被隐藏, 同时可以作为独立的类 EEPROM (EEPROM-LIKE) 数据存储器。该存储块可以通过标准的 87C5X 的 OTP EPROM 编程器通过加装专为 SST 器件准备的特殊的适配器和 FIRMWARE 来编程。在上电复位器件, 该器件可以被配置为下位机, 作为外部主机的原始代码存储器, 或者作为上位机连接到外部主机进行 IAP 操作 (在应用可编程)。该器件被设计成为可以在系统和在应用可编程, 这样可以在印刷电路板上达到最大的机动性。该器件可以用一个启动例程被预编程, 示范用户编程代码下载或通过 IAP 功能更新用户代码。有一个下载启动代码的例程可供用户参考, 仅供方便起见。SST 不保证该下载启动例程的功能和使用。器件擦除操作会擦除该预编程过的示例代码。

作为 72/62K 字节的 SuperFlash EEPROM 的片内程序存储器的补充, 该器件可以寻址到 64K 字节的外部程序存储器空间。作为 1024×8 位的片内 RAM 空间的补充, 该器件可以寻址 64K 字节的外部 RAM 空间。

SST 的高可靠性, 拥有专利的 SuperFlash 技术和存储器单元架构 (memory cell architecture) 有一系列的设计和生产 flash EEPROMs 的重要的优势。这些优势转换为重大的价值和使用户可靠地受益。

目录

特色:

产品描述

表格内容

图片目录

表格目录

1.0 功能块

功能块图

2.0 引脚分配

引脚描述

3.0 存储器组织

3.1 程序 FLASH 存储器

3.2 程序存储器块

3.3 数据 RAM 存储器

3.4 扩展数据 RAM 地址

3.5 双数据指针

3.6 特殊功能寄存器

4.0 FLASH 存储器编程

4.1 外部主机编程模式

4.2 在应用编程模式

5.0 定时器/计数器

5.1 定时器 T0,T1,T2

5.2 定时器设置

5.3 可编程时钟输出

6.0 串行 I/O

6.1 全双工, 增强型 UART

6.2 串行外围接口 (SPI)

7.0 看门狗定时器

8.0 可编程计数器阵列 (PROGRAMMABLE COUNTER ARRAY)

8.1 PCA 总观

8.2 PCA 定时器/计数器

8.3 比较器/捕捉模块

9.0 保密锁

9.1 硬件锁

9.2 软件锁

9.3 保密锁状态

9.4 在保密状态下的读操作

10.0 复位

10.1 上电复位

10.2 软件复位

10.3 低电压检测复位 (BROWN-OUT Detection)

10.4 中断优先级和中断排列

- 11.0 节电模式
 - 11.1 休眠模式
 - 11.2 掉电模式
- 12.0 系统时钟和时钟选项
 - 12.1 时钟输入选项和要求的晶振的起振电容
 - 12.2 时钟加倍选项
- 13.0 电气规范
 - 最大绝对等级
 - 13.1 DC 电气特性
 - 13.2 AC 电气特性
 - 13.3 外部主机模式下 FLASH 存储器编程时序图
- 14.0 产品订购信息

- 15.0 封装图

图片目录

- 图 2-1: 40 脚 PDIP 管脚定义
- 图 2-2: 44 脚 TQFP 管脚定义
- 图 2-3: 44 脚 PLCC 管脚定义
- 图 3-1: SST89E564RD 和 SST89V564RD 的程序存储器结构
- 图 3-2: SST89E554RC 和 SST89V554RC 的程序存储器结构
- 图 3-3: 内部和外部数据存储器结构
- 图 3-4: 双数据指针结构
- 图 4-1: 外部主机模式下 I/O 引脚定义
- 图 6-1: 帧错误框图
- 图 6-2: 模式 1 下 UART 定时
- 图 6-3: 模式 2 和 3 下 UART 定时
- 图 6-4: SPI 主从连接
- 图 6-5: CPHA=0 下 SPI 传送格式
- 图 6-6: CPHA=1 下 SPI 传送格式
- 图 7-1: 可编程看门狗定时器框图
- 图 8-1: PCA 定时器/计数器和比较器/捕捉模块
- 图 8-2: PCA 捕捉模式
- 图 8-3: PCA 比较模式 (软件定时器)
- 图 8-4: PCA 高速输出模式
- 图 8-5: PCA 脉宽调节器模式
- 图 8-6: PCA 看门狗定时器 (限于模式 4)
- 图 9-1: 保密锁等级
- 图 10-1: 上电复位电路
- 图 10-2: 中断架构
- 图 12-1: 晶振特性
- 图 13-1: I_{DD} VS. 频率 (SST89V564RD/SST89V554RC)
- 图 13-2: I_{DD} VS. 频率 (SST89E564RD/SST89E554RC)
- 图 13-3: 外部程序存储器读周期

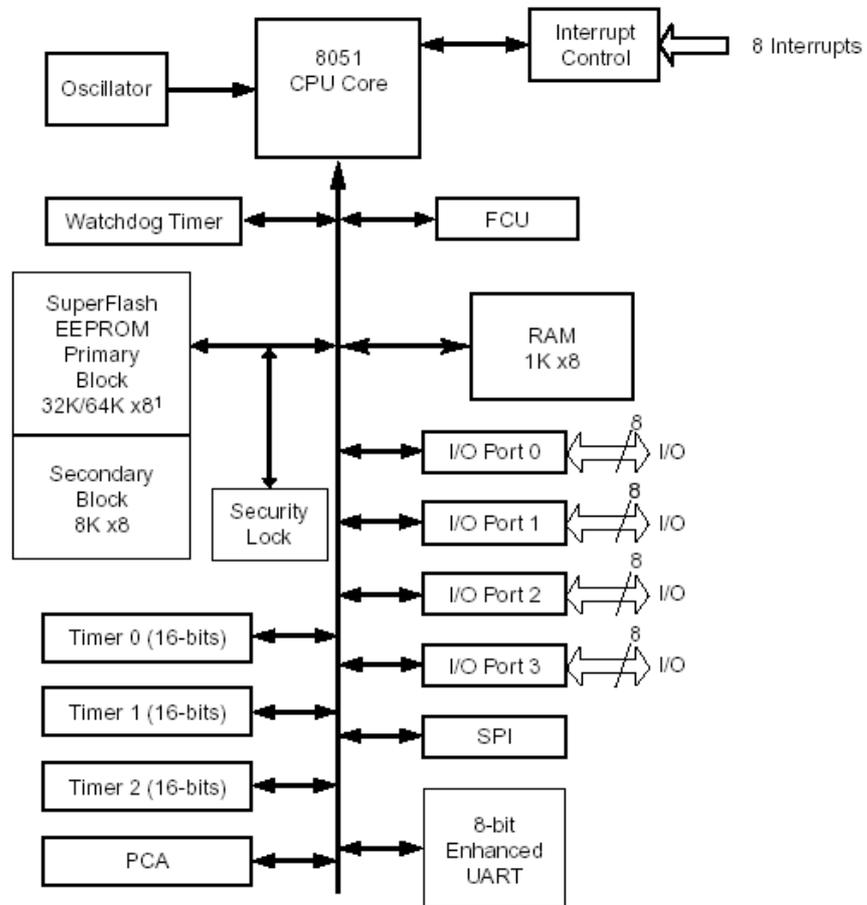
- 图 13-4: 外部数据存储器的读周期
- 图 13-5: 外部数据存储器的写周期
- 图 13-6: 外部时钟驱动波形
- 图 13-7: 移位寄存器模式定时波形
- 图 13-8: AC 测试输入/输出测试波形
- 图 13-9: 浮动波形
- 图 13-10: 测试负载例子
- 图 13-11: I_{DD} 测试条件, 工作模式
- 图 13-12: I_{DD} 测试条件, 休眠模式
- 图 13-13: 选择块 1/选择块 0 (只限于 SST89E564RD/SST89V564RD)
- 图 13-16: 芯片擦除
- 图 13-17: SST89E564RD/SST89V564RD 的块擦除
- 图 13-18: SST89E554RC/SST89V554RC 的块擦除
- 图 13-19: 扇区擦除
- 图 13-20: 字节编程
- 图 13-21: PROG-SB1/ PROG-SB2 PROG-SB3
- 图 13-22: PROG-SC0/PROG-SC1
- 图 13-23: 字节校验

表格目录:

- 表 2-1: 引脚描述
- 表 3-1: SST89E/V564RD 的程序存储器块交换的 SFCF 值
- 表 3-2: SST89E/V554RC 的程序存储器块交换的 SFCF 值
- 表 3-3: 在不同的复位条件下的 SFCF 值 (SST89E/V554RC)
- 表 3-4: 在不同的复位条件下的 SFCF 值 (SST89E/V564RD)
- 表 3-5: 外部数据存储器的 RD#,WR# with EXTRAM 位
- 表 3-6: FLASHFLEX51 的特殊功能寄存器的地址
- 表 3-7: CPU 关联的 SFR
- 表 3-8: FLASH 存储器编程的 SFR
- 表 3-9: 看门狗定时器的 SFR
- 表 3-10: 定时器/计数器的 SFR
- 表 3-11: 接口的 SFR
- 表 3-12: PCA 的 SFR
- 表 4-1: SST89E/V564RD 的外部主机模式下的命令
- 表 4-2: SST89E/V554RC 的外部主机模式下的命令
- 表 4-3: 产品鉴定
- 表 4-4: 外部主机模式下附加的读命令
- 表 4-5: SST89E/V564RD 的 IAP 地址解决方案
- 表 4-6: SST89E/V564RD 的 IAP 命令
- 表 4-7: SST89E/V554RC 的 IAP 命令
- 表 5-1: 定时器/计数器 0
- 表 5-2: 定时器/计数器 1
- 表 5-3: 定时器/计数器 2

表 8-1: PCA 定时器/计数器源
表 8-2: PCA 定时器/计数器输入
表 8-3: CMOD 值
表 8-4: PCA 高和低寄存器比较/捕捉模块
表 8-5: PCA 模块的各模式
表 8-6: PCA 模块的各模式
表 8-7: 脉宽调节器频率
表 9-1: 保密锁选项
表 9-2: 保密锁地址表
表 10-1: 中断队列
表 11-1: 节电模式
表 12-1: 外部晶振模式下要求的 C1,C2 值
表 12-2: 时钟加倍特性
表 13-1: 工作范围
表 13-2: 可靠性特性
表 13-3: AC 测试条件
表 13-4: 要求的系统上电时间
表 13-5: 引脚阻抗
表 13-6: SST89E564RD 和 SST89E554RC 的直流特性; 4.5V-5.5V
表 13-7: SST89V564RD 和 SST89V554RC 的直流特性; 2.7V-3.6V
表 13-8: AC 电气特性
表 13-9: 外部时钟驱动
表 13-10: 串行口定时
表 13-11: 外部模式 FLASH 程序存储器的编程/校验参数

1.0 功能框图



555 ILL B1.2

1. 64K x 8 for SST89E564RD and SST89V564RD
32K x 8 for SST89E554RC and SST89V554RC

FCU = Flash Control Unit

8051 CPU Core = ALU, ACC, B-Reg., Instruction Reg., PC, Timing and Control, etc.

2.0 管脚分配

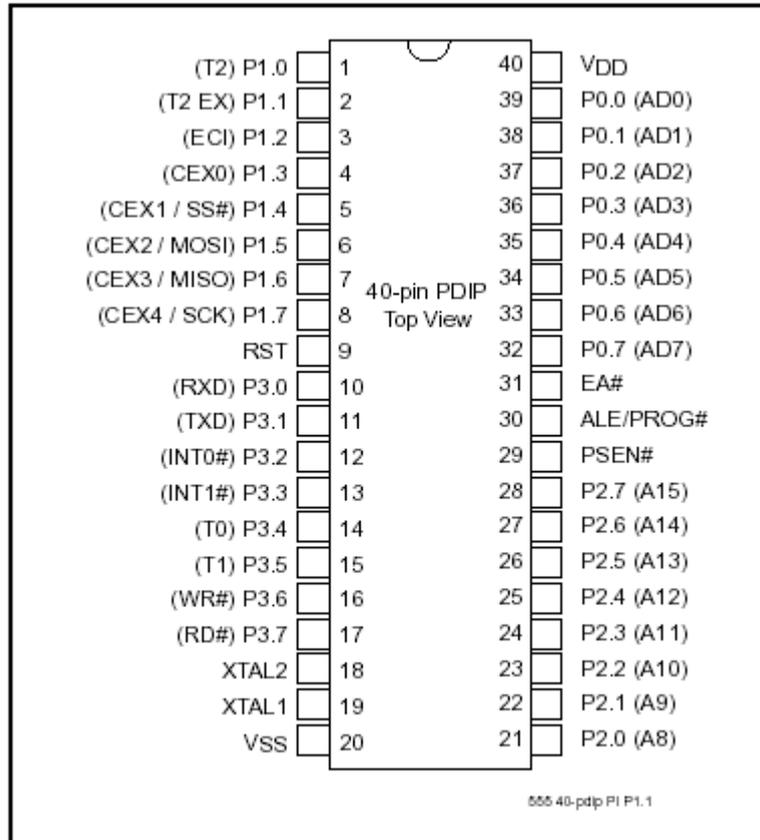


FIGURE 2-1: PIN ASSIGNMENTS FOR 40-PIN PDIP

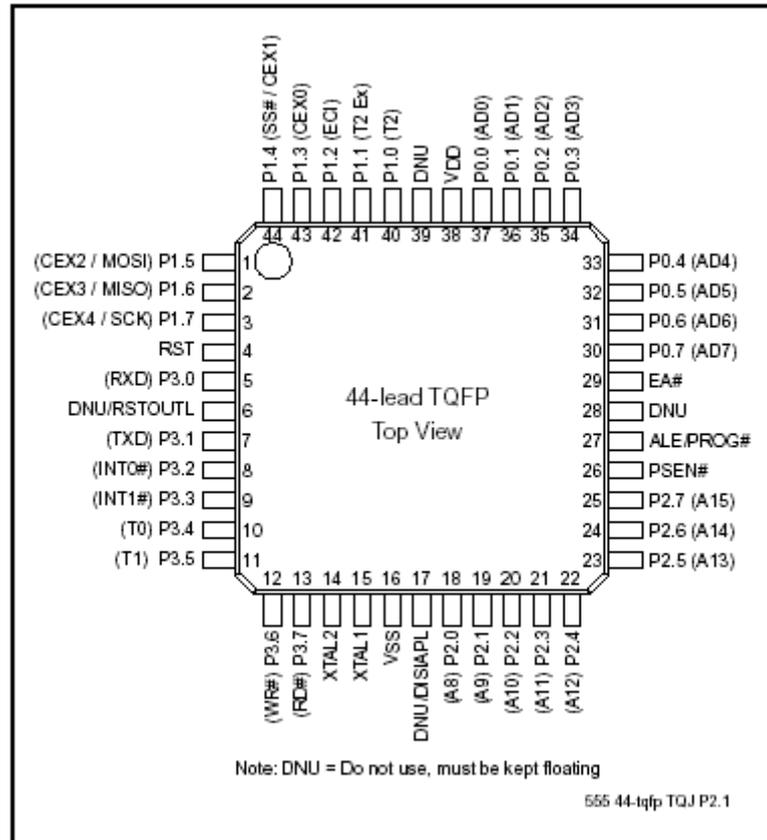


FIGURE 2-2: PIN ASSIGNMENTS FOR 44-LEAD TQFP

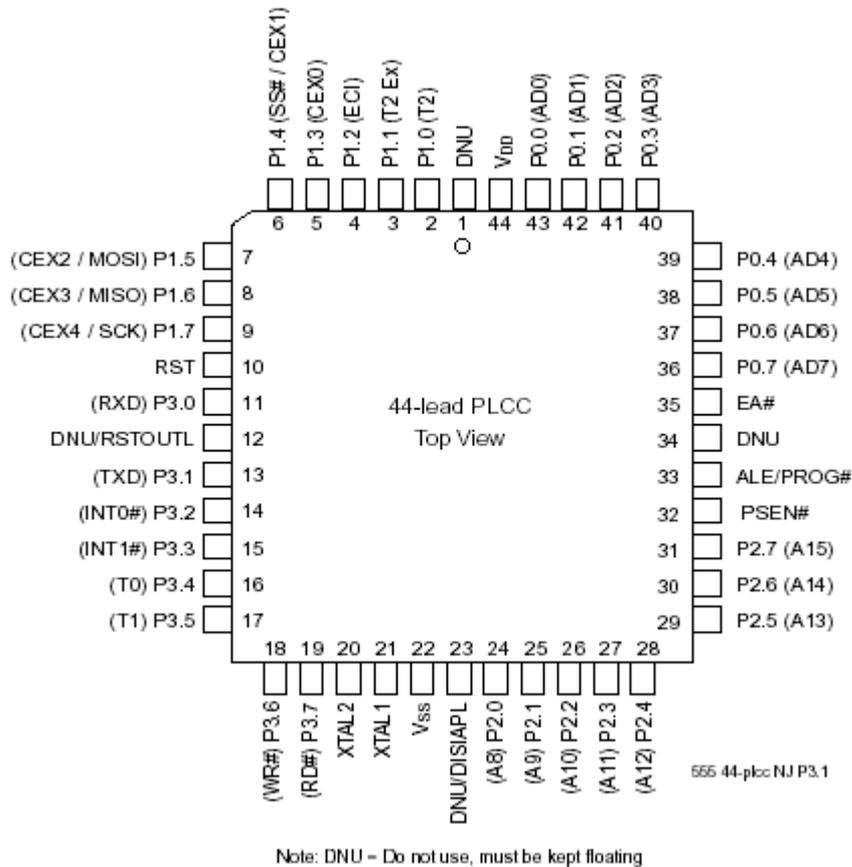


FIGURE 2-3: PIN ASSIGNMENTS FOR 44-LEAD PLCC

2.1 管脚描述

表 2-1: 引脚描述

符号	类型	名称及功能
P0[7:0]	I/O	Port0: P0 口为 8 位开路双向 I/O 口。作为输出口每个脚可以灌入几个 LS,TTL 输入。当写 1 到端口 0 时, 端口 0 为悬浮状态, 这时可以当成高阻输入。同时 P0 口还可以作为第二功能脚, 作为外部代码空间或数据空间的低 8 位寻址。在作为此应用时, P0 口在发送 1 时采用内部强上拉。P0 口在外主模式下编程时接收数据, 在外主模式下校验时发送数据。在编程, 校验或者作为通用 I/O 口时 P0 口需要外部上拉。
P1[0]	I/O	T2: 定时器/计数器 2 的外部输入, 或为来自于定时器/计数器 2 的时钟输出
P1[1]	I	T2EX: 定时器/计数器 2 的捕捉/重载触发和方向控制
P1[2]	I	ECI: 外部时钟输入 该信号为 PCA 的外部时钟输入
P1[3]	I/O	CEX0: 捕捉/PCA 模块 0 的外部 I/O 比较 每个捕捉/比较模块连接至 P1 口作为外部 I/O。当不使用 PCA 时该脚可以作为标准 I/O 使用。
P1[4]	I/O	SS#: SPI 的从端口输入选择 (Slave port select input for SPI) 或为 CEX1: PCA 模块 1 的捕捉/比较外部 I/O

P1[5]	I/O	MOSI: SPI 的主输出口, 从输出口 或 CEX2: PCA 模块 2 的捕捉/比较外部 I/O
P1[6]	I/O	MISO: SPI 的主输入口, 从输出口 或 CEX3: PCA 模块 3 的捕捉/比较外部 I/O
P1[7]	I/O	SCK: SPI 的主时钟输出口, 从时钟输入口 或 CEX4: PCA 模块 4 的捕捉/比较外部 I/O
P2[7:0]	带内部上拉的 I/O	P2 口: P2 口为一个 8 位的双向 I/O 口, 同时带有内部上拉电阻。当向 P2 口写 1 时, 由于内部的上拉 P2 口会被拉高, 同时可以作为输入口。作为输入, 由于内部有上拉 P2 口的脚被外部拉低时会提供电流, (I_{IL} , 见表格 13-6 和 13-7)。当读取外部程序存储器空间和外部数据存储器时 P2 口提供 16 位地址的高 8 位地址(MOVX@DPTR)。在该应用下, P2 口在发送数据时内部提供强上拉。P2 口也接收一些控制信号和外主模式下的编程和校验的高位地址。
P3[7:0]	带内部上拉的 I/O	P3 口: P3 口为带内部上拉的 8 位双向 I/O 口。P3 口能驱动 LS,TTL 器件。当向 P3 口写 1 时, 由于内部的上拉 P3 口会被拉高, 同时可以作为输入口。作为输入, 由于内部有上拉 P2 口的脚被外部拉低时会提供电流, (I_{IL} , 见表格 13-6 和 13-7)。P2 口也接收一些控制信号和外主模式下的编程和校验的高位 (high order) 地址。
P3[0]	I	RXD: 通用异步收发器 (UART) 的接收输入。
P3[1]	O	TXD: UART 的发送输出。
P3[2]	I	INT0#: 外部中断 0 输入
P3[3]	I	INT1#: 外部中断 1 输入
P3[4]	I	T0: 定时器/计数器 0 外部计数输入
P3[5]	I	T1: 定时器/计数器 1 外部计数输入
P3[6]	O	WR#: 外部数据存储器写命令
P3[7]	O	RD#: 外部数据存储器读命令
PSEN#	I/O	程序存储使能: PSEN#为外部程序读信号。当器件从内部程序存储器空间执行时, PSEN#为高电平。当器件从外部程序存储器空间执行时, PSEN 在一个机器周期内有效两次, 除了读取外部数据存储器时两个 PSEN#有效可以跳过。当 RST 脚上持续地保持高电平 10 个机器周期时, 这时在 PSEN 上的一个强制的高到低输入将把器件导入到外主模式编程。
RST	I	复位: 当振荡器在工作的时候, 如果一个高电平加在 RST 脚上达到两个机器周期时, 器件将被复位。如果在 RST 脚输入是高的情况下, PSEN#脚被高到低的输入驱动时, 器件将进入外主模式, 不然器件进入普通操作模式。
EA#	I	外部进入使能 (External Access Enable): 为了让器件从外部程序存储器空间读取代码, EA#脚需被连接到 V_{SS} 。反之, 如果要让器件从内部程序存储器空间执行则 EA#脚需连接到 V_{DD} 。尽管如此, 等级为 4 的加密会禁止掉 EA#脚, 这样程序就只能从内部从程序存储空间执行了。EA#脚耐压可以最高到 12V。(见 13 章, “电气规范”)

ALE/PROG#	I/O	地址锁存使能：ALE 是当对外部存储器操作时用于对低位地址的锁存。ALE 同时也是 FLASH 编程时的编程脉冲输入 (PROG#)。通常 ALE 脚输出晶振时钟频率的 1/6，也可以用作外部定时和时钟。当每次进入外部数据存储器时将丢失一个 ALE 脉冲。无论如何，如果 A0 被置位为 1 时，ALE 就被禁止。(见：辅助寄存器 (AUXR)，第 3.6 节，“特殊功能寄存器”)。
DNU	I/O	DNU：不能使用，一定要悬空。在图 2-2 和图 2-3 中，RSTOUTL 和 DISIAPL 在普通模式下被使用。如果在外主模式下，该两脚应保持悬空。
RSTOUTL	带内部上拉输出	RSTOUTL：在看门狗定时器复位和 BROWN-OUT 复位时低电平有效。
DISIAPL	I	DISIAPL：如果该脚被驱动至 V_{IL} ，IAP 功能将被禁止。在复位器件被采样和锁存。此为硬件禁止 IAP 功能。复位后，该脚上的任何变化都没有效果。
XTAL1	I	晶振 1：反向振荡放大器的输入和内部时钟发生器的输入。
XTAL2	O	晶振 2：反向振荡放大器的输出。
VDD	I	电源输入
VSS	I	地

3.0 存储器结构

该器件对程序存储器和数据存储器进行分开寻址。

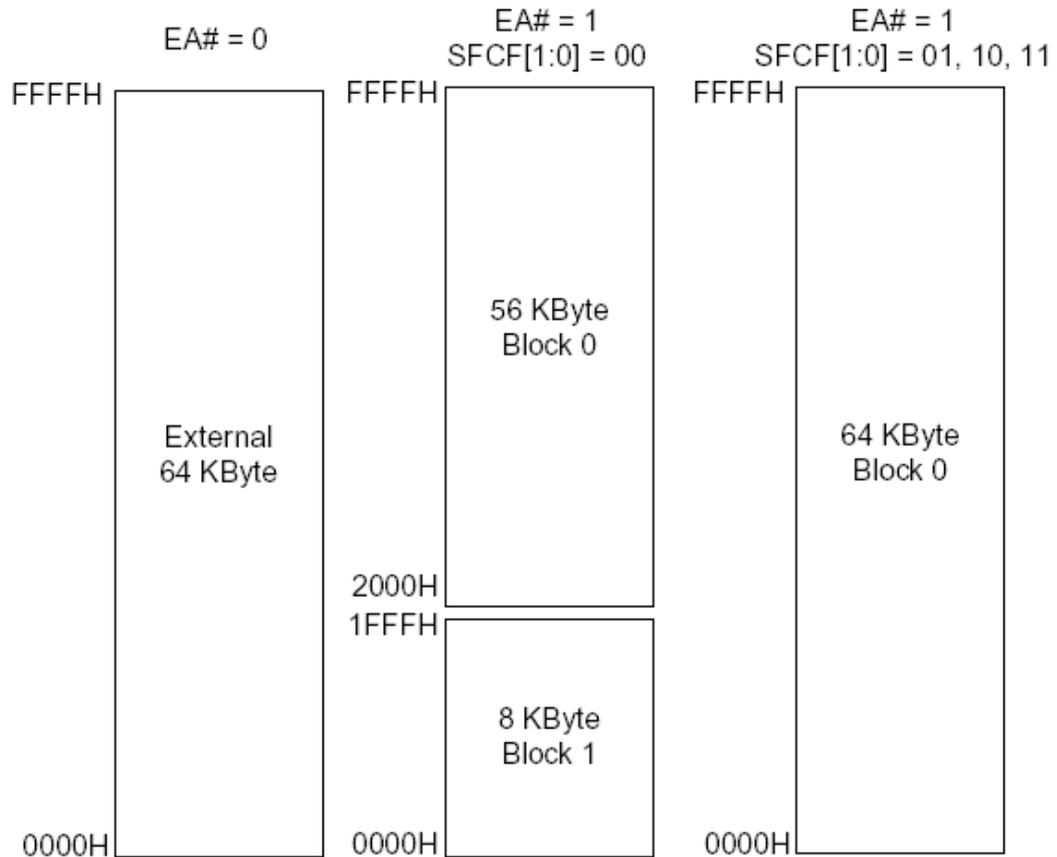
3.1 程序 Flash 存储器

该器件内部有两块内部 FLASH 存储器。主存储器块 (块 0) 有 64/32K 字节。次存储器块 (块 1) 有 8K 字节。由于总的可寻址空间被限制在 64/32K 字节，SFCF[1:0]位被用来控制程序存储空间的选择。请参照图 3-1 和图 3-2 查看程序存储器的配置。程序存储块的选择在下一节描述。

64K/32K×8 的主 SuperFlash 块被初始化成 512/256 个扇区，每个扇区包含 128 个字节。

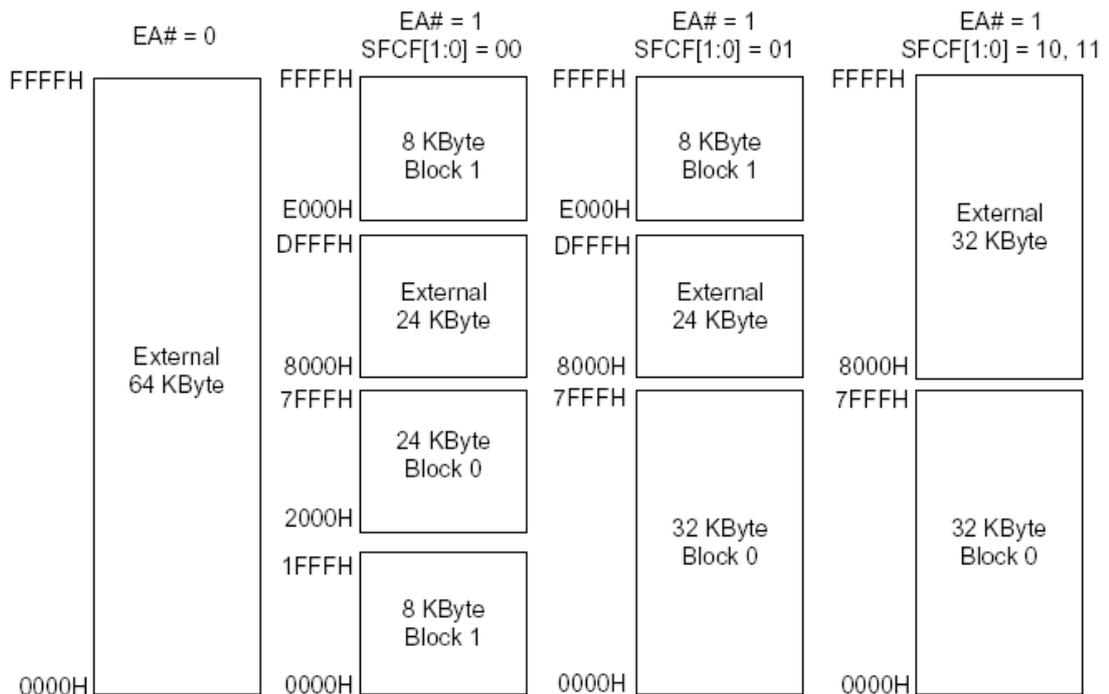
8K×8 的次 SuperFlash 块被初始化成 64 个扇区，每个扇区包含 128 个字节。

对于每个块，程序寻址位的低七位用来选择扇区内的地址。其余的程序寻址位用来选择块内的扇区。



555 ILL F02.0

FIGURE 3-1: PROGRAM MEMORY ORGANIZATION FOR SST89E564RD AND SST89V564RD



555 ILL F03.2

FIGURE 3-2: PROGRAM MEMORY ORGANIZATION FOR SST89E554RC AND SST89V554RC

3.2 程序存储器块的切换

器件允许在块 1 和块 0 的低 8K 字节之间进行程序存储器块的切换。SFCF[1:0]控制程序存储器块的切换。

表 3—1：SST89E/V564RD 的程序存储器块切换的 SFCF 值

SFCF[1:0]	Program Memory Block Switching
01, 10, 11	Block 1 is not visible to the program counter. Block 1 is reachable only via in-application programming from 0000H - 1FFFH.
00	Block 1 is overlaid onto the low 8K of the program address space; occupying address locations 0000H - 1FFFH. When the PC falls within 0000H - 1FFFH, the instruction will be fetched from Block 1 instead of Block 0. Outside of 0000H - 1FFFH, Block 0 is used. Locations 0000H - 1FFFH of Block 0 are reachable through in-application programming.

T3-1.1 555

表 3—2：SST89E/V554RC 的程序存储器块切换值 SFCF

SFCF[1:0]	Program Memory Block Switching
10, 11	Block 1 is not visible to the PC; Block 1 is reachable only via in-application programming from E000H - FFFFH.
01	Both Block 0 and Block 1 are visible to the PC. Block 0 is occupied from 0000H - 7FFFH. Block 1 is occupied from E000H - FFFFH.
00	Block 1 is overlaid onto the low 8K of the program address space; occupying address locations 0000H - 1FFFH. When the PC falls within 0000H - 1FFFH, the instruction will be fetched from Block 1 instead of Block 0. Outside of 0000H - 1FFFH, Block 0 is used. Locations 0000H - 1FFFH of Block 0 are reachable through in-application programming.

T3-2.0 555

3.2.1 程序存储器块切换的复位配置

程序存储器块切换在复位后依据 Start-up Configuration 位(SC0 和/或 SC1)的值进行初始化。SC0 和 SC1 位可以通过外主模式命令或 IAP 模式命令来编程。见表格 4-2 和表格 4-7。

复位之后 (once out of reset)，SFCF[0]位可以通过编程动态地改变。改变 SFCF[0]不会改变 SC0 位。

动态改变 SFCF[0]位时应十分小心。因为这样会导致逻辑程序地址空间会指向不同的物理地址。用户应避免在地址空间范围 0000H-1FFFH 内执行块切换指令。

表格 3—3：在不同的复位条件下 SFCF 的值 (SST89E/V554RC)

SC1	SC0	State of SFCF[1:0] after:		
		Power-on or External Reset	WDT Reset or Brown-out Reset	Software Reset
1	1	00 (default)	x0	10
1	0	01	x1	11
0	1	10	10	10
0	0	11	11	11

T3-3.0 555

表格 3—4：在不同的复位条件下 SFCF 的值 (SST89E/V564RD)

SC0	State of SFCF[1:0] after:		
	Power-on or External Reset	WDT Reset or Brown-out Reset	Software Reset
1	00 (default)	x0	10
0	01	x1	11

T3-4.0 555

3.3 数据 RAM 存储器

内部数据 RAM 有 1024 字节。外部 RAM 空间可以寻址到 64K 字节。

3.4 数据 RAM 地址扩展

SST89E/V554RC 和 SST89E/V564RD 都有能力带 1KRAM。见图 3—3

该器件的内部数据存储器有四段。

1. 低 128 字节 (00H—7FH) 可以直接和间接寻址。
2. 高 128 字节 (80H—FFH) 可以间接寻址。
3. 特殊功能寄存器 (80H—FFH) 只能直接寻址。
4. 扩展 RAM 的 768 字节 (00H—2FFH) 可以通过外部 MOVX 指令间接寻址，同时清除 EXTRAM 位。(见“辅助寄存器”(AUXR)，3.6 节，“特殊功能寄存器”)

由于高 128 字节空间内地址重叠，所以读取高位 RAM 时必须间接寻址。RAM 空间和 SFR 尽管有相同的地址，但是在物理上时分开的。

当指令进入到高 128 字节时 (7FH 之上)，由 MCU 通过给定的指令决定进入 SFR 呢还是进入 RAM。如果时间接寻址则进入 RAM，如果时直接寻址则进入 SFR。示例如下：

直接寻址：

MOV @R0,#data ; R0 内容为 90H。

“#data”内数据为写入端口 1。该指令为直接寻址 SFR。

为了进入扩展 RAM，EXTRAM 位应被清掉，同时应使用 MOVX 指令。在片内由额外的 768 字节的物理存储空间，当寻址外部空间存储器时，逻辑上的低 768 字节即为该片内 768 字节。(地址为 000H 到 2FFH)。

当 EXTRAM=0 时，外部 RAM 空间通过 MOVX 指令配合所选块的 R0,R1 或 DPTR 进行间接寻址。进入扩展 RAM 不影响 P0, P3.6, P3.7, 或 P2。在 EXTRAM=0 下，扩展 RAM 的进入可以采用如下例子所示的方法：

进入扩展 RAM (限于间接寻址)：

MOVX @DPTR, A ; DPTR 内容为 0A0H

DPTR 指向 0A0H, A 的内容写入到扩展 RAM 空间的 0A0H。用 MOVX 指令能进入外部存储器的高于 2FFH 的空间。(0300H 到 FFFFH) 采用和标准 8051 一样的用 P0 和 P2 口做数据/地址总线，P3.6 和 P3.7 作为读写定时信号。

当 EXTRAM=1, MOVX @Ri 和 MOVX @DPTR 与标准 8051 类似。MOVX @Ri 在 P0 口提供一个 8 位地址，同时多用为数据。其他的输出脚可以用来输出高位地址。这提供外部页操作能力。用 MOVX @DPTR 产生一个 16 位地址。这允许外部寻址空间达到 64K。P2 口提供高 8 位地址(DPH), P0 口提供低 8 位地址(DPL)。MOVX @Ri 和 MOVX @DPTR 指令产生必要的读写信号 (P3.6-WR#,P3.7-RD#) 表格 3—5 列举了不同 EXTRAM 下外部数据存储器的读写操作。

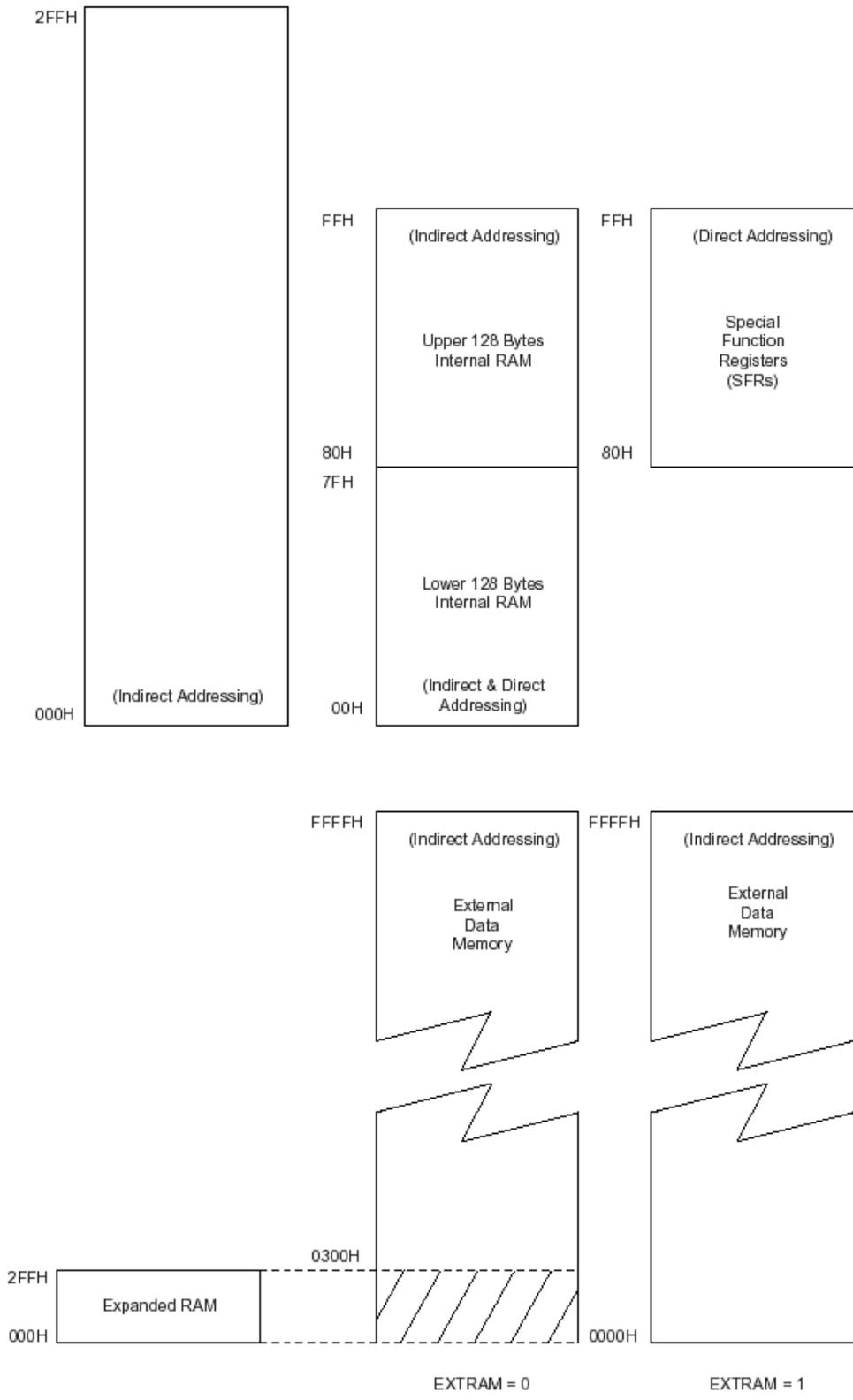
堆栈指针(SP)可以定位于内部 256 字节 RAM 的任何地方(地 128 字节和高 128 字节)。

堆栈指针不能定位于扩展 RAM 内的任何地方。

表格 3—5 External Data Memory RD#, WR# With EXTRAM Bit

AUXR	MOVX @DPTR, A or MOVX A, @DPTR		MOVX @Ri, A or MOVX A, @Ri
	ADDR < 0300H	ADDR >= 0300H	ADDR = Any
EXTRAM = 0	RD# / WR# not asserted	RD# / WR# asserted	RD# / WR# not asserted ¹
EXTRAM = 1	RD# / WR# asserted	RD# / WR# asserted	RD# / WR# asserted

1. Access limited to ERAM address within 0 to 0FFH; cannot access 100H to 02FFH.



555 ILL F40.2

FIGURE 3-3: INTERNAL AND EXTERNAL DATA MEMORY STRUCTURE

3.5 双数据指针

器件有两个 16 位数据指针。AUXR1 内的 DPTR 选择 (DPS) 决定使用哪个数据指针。当 DPS=0, DPTR0 被选择; 当 DPS=1, DPTR1 被选择。可以通过一个单独的对 AUXR1 执行 INC 指令以实现在两个数据指针之间进行快速切换。(见图 3-4)

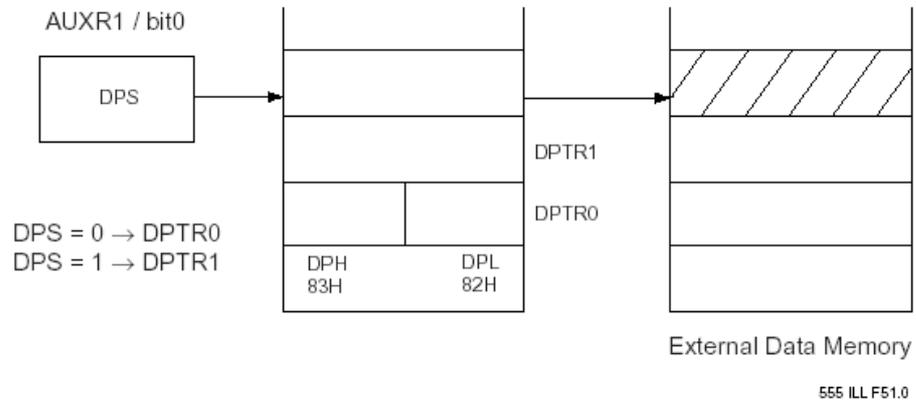


FIGURE 3-4: DUAL DATA POINTER ORGANIZATION

3.6 特殊功能寄存器

绝大多数的 FLASHFLEX51 MCU 家族的独特特性由 SFR 的几个位所控制, 具体请参见表格 3-6。每个 SFR 的独立描述和复位值详见表格 3-7 到 3-11。

TABLE 3-6: FLASHFLEX51 SFR MEMORY MAP

8 BYTES								
F8H	IPA ¹	CH	CCAP0H	CCAP1H	CCAP2H	CCAP3H	CCAP4H	FFH
F0H	B ¹						IPAH	F7H
E8H	IEA ¹	CL	CCAP0L	CCAP1L	CCAP2L	CCAP3L	CCAP4L	EFH
E0H	ACC ¹							E7H
D8H	CCON ¹	CMOD	CCAPM0	CCAPM1	CCAPM2	CCAPM3	CCAPM4	DFH
D0H	PSW ¹					SPCR		D7H
C8H	T2CON ¹	T2MOD	RCAP2L	RCAP2H	TL2	TH2		CFH
C0H	WDTC ¹							C7H
B8H	IP ¹	SADEN						BFH
B0H	P3 ¹	SFCF	SFCM	SFAL	SFAH	SFDT	SFST	IPH
A8H	IE ¹	SADDR	SPSR					AFH
A0H	P2 ¹		AUXR1					A7H
98H	SCON ¹	SBUF						9FH
90H	P1 ¹							97H
88H	TCON ¹	TMOD	TL0	TL1	TH0	TH1	AUXR	8FH
80H	P0 ¹	SP	DPL	DPH		WDTD	SPDR	PCON
								87H

1. SFRs are bit addressable.

TABLE 3-7: CPU RELATED SFRS

Symbol	Description	Direct Address	Bit Address, Symbol, or Alternative Port Function								RESET Value
			MSB				LSB				
ACC ¹	Accumulator	E0H	ACC[7:0]								00H
B ¹	B Register	F0H	B[7:0]								00H
PSW ¹	Program Status Word	D0H	CY	AC	F0	RS1	RS0	OV	F1	P	00H
SP	Stack Pointer	81H	SP[7:0]								07H
DPL	Data Pointer Low	82H	DPL[7:0]								00H
DPH	Data Pointer High	83H	DPH[7:0]								00H
IE ¹	Interrupt Enable	A8H	EA	EC	ET2	ES	ET1	EX1	ET0	EX0	00H
IEA ¹	Interrupt Enable A	E8H	-	-	-	-	EBO	-	-	-	xxxx0xxb
IP ¹	Interrupt Priority Reg	B8H	-	PPC	PT2	PS	PT1	PX1	PT0	PX0	x0000000b
IPH	Interrupt Priority Reg High	B7H	-	PPCH	PT2H	PSH	PT1H	PX1H	PT0H	PX0H	x0000000b
IPA ¹	Interrupt Priority Reg A	F8H	-	-	-	-	PBO	-	-	-	xxxx0xxb
IPAH	Interrupt Priority Reg A High	F7H	-	-	-	-	PBOH	-	-	-	xxxx0xxb
PCON	Power Control	87H	SMOD1	SMOD0	BOF	POF	GF1	GF0	PD	IDL	00010000b
AUXR	Auxiliary Reg	8EH	-	-	-	-	-	-	EXTRAM	AO	xxxxxx00b
AUXR1	Auxiliary Reg 1	A2H	-	-	-	-	GF2	0	-	DPS	xxxx00x0b

T3-7.2 555

1. Bit Addressable SFRs

TABLE 3-8: FLASH MEMORY PROGRAMMING SFRS

Symbol	Description	Direct Address	Bit Address, Symbol, or Alternative Port Function								RESET Value
			MSB				LSB				
SFCF	SuperFlash Configuration	B1H	-	IAPEN	-	-	-	-	SWR	BSEL	x0xxxxxxb
SFCM	SuperFlash Command	B2H	FIE	FCM							00H
SFAL	SuperFlash Address Low	B3H	SuperFlash Low Order Byte Address Register - A ₇ to A ₀ (SFAL)								00H
SFAH	SuperFlash Address High	B4H	SuperFlash High Order Byte Address Register - A ₁₅ to A ₈ (SFAH)								00H
SFDT	SuperFlash Data	B5H	SuperFlash Data Register								00H
SFST	SuperFlash Status	B6H	SB1	SB2	SB3	-	EDC	FLASH_BUSY	-	-	xxxx0xxb

T3-8.1 555

TABLE 3-9: WATCHDOG TIMER SFRS

Symbol	Description	Direct Address	Bit Address, Symbol, or Alternative Port Function								RESET Value
			MSB				LSB				
WDTC ¹	Watchdog Timer Control	C0H	-	-	-	WDOUT	WDRE	WDTS	WDT	SWDT	xxx00x00b
WDTD	Watchdog Timer Data/Reload	85H	Watchdog Timer Data/Reload								00H

T3-9.0 555

1. Bit Addressable SFRs

TABLE 3-10: TIMER/COUNTERS SFRs

Symbol	Description	Direct Address	Bit Address, Symbol, or Alternative Port Function								RESET Value
			MSB				LSB				
TMOD	Timer/Counter Mode Control	89H	Timer 1				Timer 0				00H
			GATE	C/T#	M1	M0	GATE	C/T#	M1	M0	
TCON ¹	Timer/Counter Control	88H	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00H
TH0	Timer 0 MSB	8CH	TH0[7:0]								00H
TL0	Timer 0 LSB	8AH	TL0[7:0]								00H
TH1	Timer 1 MSB	8DH	TH1[7:0]								00H
TL1	Timer 1 LSB	8BH	TL1[7:0]								00H
T2CON ¹	Timer / Counter 2 Control	C8H	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2#	CP/RL2#	00H
T2MOD#	Timer2 Mode Control	C9H	-	-	-	-	-	-	T2OE	DCEN	xxxxxx00b
TH2	Timer 2 MSB	CDH	TH2[7:0]								00H
TL2	Timer 2 LSB	CCH	TL2[7:0]								00H
RCAP2H	Timer 2 Capture MSB	CBH	RCAP2H[7:0]								00H
RCAP2L	Timer 2 Capture LSB	CAH	RCAP2L[7:0]								00H

1. Bit Addressable SFRs

T3-10.0 555

TABLE 3-11: INTERFACE SFRs

Symbol	Description	Direct Address	Bit Address, Symbol, or Alternative Port Function								RESET Value
			MSB				LSB				
SBUF	Serial Data Buffer	99H	SBUF[7:0]								Indeterminate
SCON ¹	Serial Port Control	98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00H
SADDR	Slave Address	A9H	SADDR[7:0]								00H
SADEN	Slave Address Mask	B9H	SADEN[7:0]								00H
SPCR	SPI Control Register	D5H	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	04H
SPSR	SPI Status Register	AAH	SPIF	WCOL							00H
SPDR	SPI Data Register	86H	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0	00H
P0 ¹	Port 0	80H	P0[7:0]								FFH
P1 ¹	Port 1	90H	-	-	-	-	-	-	T2EX	T2	FFH
P2 ¹	Port 2	A0H	P2[7:0]								FFH
P3 ¹	Port 3	B0H	RD#	WR#	T1	T0	INT1#	INT0#	TXD	RXD	FFH

1. Bit Addressable SFRs

T3-11.0 555

TABLE 3-12: PCA SFRs

Symbol	Description	Direct Address	Bit Address, Symbol, or Alternative Port Function								RESET Value
			MSB				LSB				
CH CL	PCA Timer/Counter	F9H E9H	CH[7:0] CL[7:0]								00H 00H
CCON ¹	PCA Timer/Counter Control Register	D8H	CF	CR	-	CCF4	CCF3	CCF2	CCF1	CCF0	00x00000b
CMOD	PCA Timer/Counter Mode Register	D9H	CIDL	WDTE	-	-	-	CPS1	CPS0	ECF	00xxx000b
CCAP0H	PCA Module 0	FAH	CCAP0H[7:0]								00H
CCAP0L	Compare/Capture Registers	EAH	CCAP0L[7:0]								00H
CCAP1H	PCA Module 1	FBH	CCAP1H[7:0]								00H
CCAP1L	Compare/Capture Registers	EBH	CCAP1L[7:0]								00H
CCAP2H	PCA Module 2	FCH	CCAP2H[7:0]								00H
CCAP2L	Compare/Capture Registers	ECH	CCAP2L[7:0]								00H
CCAP3H	PCA Module 3	FDH	CCAP3H[7:0]								00H
CCAP3L	Compare/Capture Registers	EDH	CCAP3L[7:0]								00H
CCAP4H	PCA Module 4	FEH	CCAP4H[7:0]								00H
CCAP4L	Compare/Capture Registers	EEH	CCAP4L[7:0]								00H
CCAPM0	PCA Compare/Capture Module Registers	DAH	-	ECOM0	CAPP0	CAPN0	MAT0	TOG0	PWM0	ECCF0	x000 0000b
CCAPM1		DBH	-	ECOM1	CAPP1	CAPN1	MAT1	TOG1	PWM1	ECCF1	x000 0000b
CCAPM2		DCH	-	ECOM2	CAPP2	CAPN2	MAT2	TOG2	PWM2	ECCF2	x000 0000b
CCAPM3		DDH	-	ECOM3	CAPP3	CAPN3	MAT3	TOG3	PWM3	ECCF3	x000 0000b
CCAPM4		DEH	-	ECOM4	CAPP4	CAPN4	MAT4	TOG4	PWM4	ECCF4	x000 0000b

1. Bit Addressable SFRs

T3-12.1 555

SuperFlash Configuration Register (SFCF)

Location	7	6	5	4	3	2	1	0	Reset Value
B1H	-	IAPEN	-	-	-	-	SWR	BSEL	x0xxxxxb

Symbol	Function
IAPEN	Enable IAP operation 0: IAP commands are disabled 1: IAP commands are enabled
SWR	Software Reset See Section 10.2, "Software Reset"
BSEL	Program memory block switching bit See Figure 3-1, Figure 3-2, Table 3-3, and Table 3-4.

SuperFlash Command Register (SFCM)

Location	7	6	5	4	3	2	1	0	Reset Value
B2H	FIE	FCM6	FCM5	FCM4	FCM3	FCM2	FCM1	FCM0	0000000b

Symbol	Function
--------	----------

FIE	Flash Interrupt Enable. 0: INT1# is not reassigned. 1: INT1# is re-assigned to signal IAP operation completion. External INT1# interrupts are ignored.
-----	---

FCM[6:0]	Flash operation command 000_0001b Chip-Erase 000_1011b Sector-Erase 000_1101b Block-Erase 000_1100b Byte-Verify ¹ 000_1110b Byte-Program 000_1111b Prog-SB1 000_0011b Prog-SB2 000_0101b Prog-SB3 000_1001b Prog-SC0 000_1001b Prog-SC1 000_1000b Enable-Clock-Double All other combinations are not implemented, and reserved for future use.
----------	---

1. Byte-Verify has a single machine cycle latency and will not generate any INT1# interrupt regardless of FIE.

SuperFlash Address Registers (SFAL)

Location	7	6	5	4	3	2	1	0	Reset Value
B3H	SuperFlash Low Order Byte Address Register								0000000b

Symbol	Function
--------	----------

SFAL	Mailbox register for interfacing with flash memory block. (Low order address register).
------	---

SuperFlash Address Registers (SFAH)

Location	7	6	5	4	3	2	1	0	Reset Value
B4H	SuperFlash High Order Byte Address Register								0000000b

Symbol	Function
--------	----------

SFAH	Mailbox register for interfacing with flash memory block. (High order address register).
------	--

SuperFlash Data Register (SFDT)

Location	7	6	5	4	3	2	1	0	Reset Value
B5H	SuperFlash Data Register								0000000b

Symbol	Function
--------	----------

SFDT	Mailbox register for interfacing with flash memory block. (Data register).
------	--

SuperFlash Status Register (SFST) (Read Only Register)

Location	7	6	5	4	3	2	1	0	Reset Value
B6H	SB1	SB2	SB3	-	EDC	FLASH_BUSY	-	-	xxxx0xxb

Symbol	Function
--------	----------

SB1	Security Bit 1.
SB2	Security Bit 2.
SB3	Security Bit 3. Please refer to Table 9-1 for security lock options.

EDC	Enable Double Clock 0: Disable 1: Enable
-----	--

FLASH_BUSY	Flash operation completion polling bit. 0: Device has fully completed the last IAP command. 1: Device is busy with flash operation.
------------	---

Interrupt Enable (IE)

Location	7	6	5	4	3	2	1	0	Reset Value
A8H	EA	EC	ET2	ES	ET1	EX1	ET0	EX0	00H

Symbol	Function
EA	Global Interrupt Enable. 0 = Disable 1 = Enable
EC	PCA Interrupt Enable.
ET2	Timer 2 Interrupt Enable.
ES	Serial Interrupt Enable.
ET1	Timer 1 Interrupt Enable.
EX1	External 1 Interrupt Enable.
ET0	Timer 0 Interrupt Enable.
EX0	External 0 Interrupt Enable.

Interrupt Enable A (IEA)

Location	7	6	5	4	3	2	1	0	Reset Value
E8H	-	-	-	-	EBO	-	-	-	xxxx0xxx _b

Symbol	Function
EBO	Brown-out Interrupt Enable. 1 = Enable the interrupt 0 = Disable the interrupt

Interrupt Priority (IP)

Location	7	6	5	4	3	2	1	0	Reset Value
B8H	-	PPC	PT2	PS	PT1	PX1	PT0	PX0	x0000000 _b

Symbol	Function
PPC	PCA interrupt priority bit.
PT2	Timer 2 interrupt priority bit.
PS	Serial Port interrupt priority bit.
PT1	Timer 1 interrupt priority bit.
PX1	External interrupt 1 priority bit.
PT0	Timer 0 interrupt priority bit.
PX0	External interrupt 0 priority bit.

Interrupt Priority High (IPH)

Location	7	6	5	4	3	2	1	0	Reset Value
B7H	-	PPCH	PT2H	PSH	PT1H	PX1H	PT0H	PX0H	x0000000 _b

Symbol	Function
PPCH	PCA interrupt priority bit high.
PT2H	Timer 2 interrupt priority bit high.
PSH	Serial Port interrupt priority bit high.
PT1H	Timer 1 interrupt priority bit high.
PX1H	External interrupt 1 priority bit high.
PT0H	Timer 0 interrupt priority bit high.
PX0H	External interrupt 0 priority bit high.

Interrupt Priority A (IPA)

Location	7	6	5	4	3	2	1	0	Reset Value
F8H	-	-	-	-	PBO	-	-	-	xxxx0xxx _b

Symbol	Function
PBO	Brown-out interrupt priority bit.

Interrupt Priority A High (IPAH)

Location	7	6	5	4	3	2	1	0	Reset Value
F7H	-	-	-	-	PBOH	-	-	-	xxxx0xxx _b

Symbol	Function
PBOH	Brown-out Interrupt priority bit high.

Auxiliary Register (AUXR)

Location	7	6	5	4	3	2	1	0	Reset Value
8EH	-	-	-	-	-	-	EXTRAM	AO	xxxxx00 _b

Symbol	Function
EXTRAM	Internal/External RAM access 0: Internal Expanded RAM access within range of 00H to 2FFH using MOVX @Ri / @DPTR. Beyond 300H, the MCU always accesses external data memory. For details, refer to Section 3.4, "Expanded Data RAM Addressing". 1: External data memory access.
AO	Disable/Enable ALE 0: ALE is emitted at a constant rate of 1/3 the oscillator frequency in 6 clock mode, 1/6 f _{OSC} in 12 clock mode. 1: ALE is active only during a MOVX or MOVC instruction.

Auxiliary Register 1 (AUXR1)

Location	7	6	5	4	3	2	1	0	Reset Value
A2H	-	-	-	-	GF2	0	-	DPS	xxx00x0 _b

Symbol	Function
GF2	General purpose user-defined flag.
DPS	DPTR registers select bit. 0: DPTR0 is selected. 1: DPTR1 is selected.

Watchdog Timer Control Register (WDTC)

Location	7	6	5	4	3	2	1	0	Reset Value
C0H	-	-	-	WDOUT	WDRE	WDTS	WDT	SWDT	xxx00x00 _b

Symbol	Function
WDOUT	Watchdog output enable. 0: Watchdog reset will not be exported on Reset pin. 1: Watchdog reset if enabled by WDRE, will assert Reset pin for 32 clocks.
WDRE	Watchdog timer reset enable. 0: Disable watchdog timer reset. 1: Enable watchdog timer reset.
WDTS	Watchdog timer reset flag. 0: External hardware reset or power-on reset clears the flag. Flag can also be cleared by writing a 1. Flag survives if chip reset happened because of watchdog timer overflow. 1: Hardware sets the flag on watchdog overflow.
WDT	Watchdog timer refresh. 0: Hardware resets the bit when refresh is done. 1: Software sets the bit to force a watchdog timer refresh.
SWDT	Start watchdog timer. 0: Stop WDT. 1: Start WDT.

Watchdog Timer Data/Reload Register (WDTD)

Location	7	6	5	4	3	2	1	0	Reset Value
85H	Watchdog Timer Data/Reload								00000000b

Symbol	Function
WDTD	Initial/Reload value in Watchdog Timer. New value won't be effective until WDT is set.

PCA Timer/Counter Control Register¹ (CCON)

Location	7	6	5	4	3	2	1	0	Reset Value
D8H	CF	CR	-	CCF4	CCF3	CCF2	CCF1	CCF0	00x00000b

1. Bit addressable

Symbol	Function
CF	PCA Counter Overflow Flag Set by hardware when the counter rolls over. CF flags an interrupt if bit ECF in CMOD is set. CF may be set by either hardware or software, but can only be cleared by software.
CR	PCA Counter Run control bit Set by software to turn the PCA counter on. Must be cleared by software to turn the PCA counter off.
-	Not implemented, reserved for future use. Note: User should not write 1s to reserved bits. The value read from a reserved bit is indeterminate.
CCF4	PCA Module 4 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.
CCF3	PCA Module 3 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.
CCF2	PCA Module 2 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.
CCF1	PCA Module 1 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.
CCF0	PCA Module 0 interrupt flag. Set by hardware when a match or capture occurs. Must be cleared by software.

PCA Timer/Counter Mode Register¹ (CMOD)

Location	7	6	5	4	3	2	1	0	Reset Value
D9H	CIDL	WDTE	-	-	-	CPS1	CPS0	ECF	00xxx000b

1. Not bit addressable

Symbol	Function
CIDL	Counter Idle Control: 0: Programs the PCA Counter to continue functioning during idle mode 1: Programs the PCA Counter to be gated off during idle
WDTE	Watchdog Timer Enable: 0: Disables Watchdog Timer function on PCA module 4 1: Enables Watchdog Timer function on PCA module 4
-	Not implemented, reserved for future use. Note: User should not write 1s to reserved bits. The value read from a reserved bit is indeterminate.
CPS1	PCA Count Pulse Select bit 1
CPS0	PCA Count Pulse Select bit 2

CPS1	CPS0	Selected PCA Input ¹	
0	0	0	Internal clock, $f_{osc}/6$ in 6 clock mode ($f_{osc}/12$ in 12 clock mode)
0	1	1	Internal clock, $f_{osc}/2$ in 6 clock mode ($f_{osc}/4$ in 12 clock mode)
1	0	2	Timer 0 overflow
1	1	3	External clock at ECI/P1.2 pin (max. rate = $f_{osc}/4$ in 6 clock mode, $f_{osc}/8$ in 12 clock mode)

1. f_{osc} = oscillator frequency

ECF	PCA Enable Counter Overflow interrupt: 0: Disables the CF bit in CCON 1: Enables CF bit in CCON to generate an interrupt
-----	--

PCA Compare/Capture Module Mode Register¹ (CCAPMn)

Location	7	6	5	4	3	2	1	0	Reset Value
DAH	-	ECOM0	CAPP0	CAPN0	MAT0	TOG0	PWM0	ECCF0	00xxx000b
DBH	-	ECOM1	CAPP1	CAPN1	MAT1	TOG1	PWM1	ECCF1	00xxx000b
DCH	-	ECOM2	CAPP2	CAPN2	MAT2	TOG2	PWM2	ECCF2	00xxx000b
DDH	-	ECOM3	CAPP3	CAPN3	MAT3	TOG3	PWM3	ECCF3	00xxx000b
DEH	-	ECOM4	CAPP4	CAPN4	MAT4	TOG4	PWM4	ECCF4	00xxx000b

1. Not bit addressable

Symbol	Function
-	Not implemented, reserved for future use. Note: User should not write 1s to reserved bits. The value read from a reserved bit is indeterminate.
ECOMn	Enable Comparator 0: Enables the comparator function 1: Disables the comparator function
CAPPn	Capture Positive 0: Disables positive edge capture on CEX[4:0] 1: Enables positive edge capture on CEX[4:0]
CAPNn	Capture Negative 0: Disables negative edge capture on CEX[4:0] 1: Enables negative edge capture on CEX[4:0]
MATn	Match: Set ECOM[4:0] and MAT[4:0] to implement the software timer mode 0: Disables software timer mode 1: A match of the PCA counter with this module's compare/capture register causes the CCFn bit in CCON to be set, flagging an interrupt.
TOGn	Toggle 0: Disables toggle function 1: A match of the PCA counter with this module's compare/capture register causes the the CEXn pin to toggle.
PWMn	Pulse Width Modulation mode 0: Disables PWM mode 1: Enables CEXn pin to be used as a pulse width modulated output
ECCFn	Enable CCF Interrupt 0: Disables compare/capture flag CCF[4:0] in the CCON register to generate an interrupt request. 1: Enables compare/capture flag CCF[4:0] in the CCON register to generate an interrupt request.

SPI Control Register (SPCR)

Location	7	6	5	4	3	2	1	0	Reset Value
D5H	SPIE	SPE	DORD	MSTR	CPOL	CPHA	SPR1	SPR0	00000100b

Symbol	Function
SPIE	If both SPIE and ES are set to one, SPI interrupts are enabled.
SPE	SPI enable bit. 0: Disables SPI. 1: Enables SPI and connects SS#, MOSI, MISO, and SCK to pins P1.4, P1.5, P1.6, P1.7.
DORD	Data Transmission Order. 0: MSB first in data transmission. 1: LSB first in data transmission.
MSTR	Master/Slave select. 0: Selects Slave mode. 1: Selects Master mode.
CPOL	Clock Polarity 0: SCK is low when idle (Active High). 1: SCK is high when idle (Active Low).
CPHA	Clock Phase control bit. 0: Shift triggered on the leading edge of the clock. 1: Shift triggered on the trailing edge of the clock.
SPR1, SPR0	SPI Clock Rate Select bits. These two bits control the SCK rate of the device configured as master. SPR1 and SPR0 have no effect on the slave. The relationship between SCK and the oscillator frequency, f_{OSC} , is as follows:

SPR1	SPR0	SCK = f_{OSC} divided by
0	0	4
0	1	16
1	0	64
1	1	128

SPI Status Register (SPSR)

Location	7	6	5	4	3	2	1	0	Reset Value
AAH	SPIF	WCOL	-	-	-	-	-	-	00xxxxxb

Symbol Function

SPIF	SPI Interrupt Flag. Upon completion of data transfer, this bit is set to 1. If SPIE =1 and ES =1, an interrupt is then generated. To clear, read SPSR and then access SPDR.
WCOL	Write Collision Flag. Set if the SPI data register is written to during data transfer. To clear, read SPSR and then access SPDR.

SPI Data Register (SPDR)

Location	7	6	5	4	3	2	1	0	Reset Value
86H	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0	00H

Power Control Register (PCON)

Location	7	6	5	4	3	2	1	0	Reset Value
87H	SMOD1	SMOD0	BOF	POF	GF1	GF0	PD	IDL	00010000b

Symbol	Function
SMOD1	Double Baud rate bit. If SMOD1 = 1, Timer 1 is used to generate the baud rate, and the serial port is used in modes 1, 2, and 3.
SMOD0	FE/SM0 Selection bit. 0: SCON[7] = SM0 1: SCON[7] = FE,
BOF	Brown-out detection status bit, this bit will not be affected by any other reset. BOF should be cleared by software. Power-on reset will also clear the BOF bit. 0: No brown-out. 1: Brown-out occurred
POF	Power-on reset status bit, this bit will not be affected by any other reset. POF should be cleared by software. 0: No Power-on reset. 1: Power-on reset occurred
GF1	General-purpose flag bit.
GF0	General-purpose flag bit.
PD	Power-down bit, this bit is cleared by hardware after exiting from power-down mode. 0: Power-down mode is not activated. 1: Activates Power-down mode.
IDL	Idle mode bit, this bit is cleared by hardware after exiting from idle mode. 0: Idle mode is not activated. 1: Activates idle mode.

Serial Port Control Register (SCON)

Location	7	6	5	4	3	2	1	0	Reset Value
98H	SM0/FE	SM1	SM2	REN	TB8	RB8	TI	RI	00000000b

Symbol	Function
FE	Set SMOD0 = 1 to access FE bit. 0: No framing error 1: Framing Error. Set by receiver when an invalid stop bit is detected. This bit needs to be cleared by software.
SM0	SMOD0 = 0 to access SM0 bit. Serial Port Mode Bit 0
SM1	Serial Port Mode Bit 1

SM0	SM1	Mode	Description	Baud Rate ¹
0	0	0	Shift Register	$f_{osc}/6$ (6 clock mode) or $f_{osc}/12$ (12 clock mode)
0	1	1	8-bit UART	Variable
1	0	2	9-bit UART	$f_{osc}/32$ or $f_{osc}/16$ (6 clock mode) or $f_{osc}/64$ or $f_{osc}/32$ (12 clock mode)
1	1	3	9-bit UART	Variable

1. f_{osc} = oscillator frequency

SM2	Enables the Automatic Address Recognition feature in Modes 2 or 3. If SM2 = 1 then RI will not be set unless the received 9th data bit (RB8) is 1, indicating an address, and the received byte is a given or broadcast address. In Mode 1, if SM2 = 1 then RI will not be activated unless a valid stop bit was received. In Mode 0, SM2 should be 0.
-----	--

REN	Enables serial reception. 0: to disable reception. 1: to enable reception.
TB8	The 9th data bit that will be transmitted in Modes 2 and 3. Set or clear by software as desired.
RB8	In Modes 2 and 3, the 9th data bit that was received. In Mode 1, if SM2 = 0, RB8 is the stop bit that was received. In Mode 0, RB8 is not used.
TI	Transmit interrupt flag. Set by hardware at the end of the 8th bit time in Mode 0, or at the beginning of the stop bit in the other modes, in any serial transmission, Must be cleared by software.
RI	Receive interrupt flag. Set by hardware at the end of the 8th bit time in Mode 0, or halfway through the stop bit time in the other modes, in any serial reception (except see SM2). Must be cleared by software.

Timer/Counter 2 Control Register (T2CON)

Location	7	6	5	4	3	2	1	0	Reset Value
C8H	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2#	CP/RL2#	00H

Symbol	Function
TF2	Timer 2 overflow flag set by a Timer 2 overflow and must be cleared by software. TF2 will not be set when either RCLK or TCLK = 1.
EXF2	Timer 2 external flag set when either a capture or reload is caused by a negative transition on T2EX and EXEN2 = 1. When Timer 2 interrupt is enabled, EXF2 = 1 will cause the CPU to vector to the Timer 2 interrupt routine. EXF2 must be cleared by software. EXF2 does not cause an interrupt in up/down counter mode (DCEN = 1).
RCLK	Receive clock flag. When set, causes the serial port to use Timer 2 overflow pulses for its receive clock in modes 1 and 3. RCLK = 0 causes Timer 1 overflow to be used for the receive clock.
TCLK	Transmit clock flag. When set, causes the serial port to use Timer 2 overflow pulses for its transmit clock in modes 1 and 3. TCLK = 0 causes Timer 1 overflow to be used for the transmit clock.
EXEN2	Timer 2 external enable flag. When set, allows a capture or reload to occur as a result of a negative transition on T2EX if Timer 2 is not being used to clock the serial port. EXEN2 = 0 causes Timer 2 to ignore events at T2EX.
TR2	Start/stop control for Timer 2. A logic 1 starts the timer.
C/T2#	Timer or counter select (Timer 2) 0: Internal timer (OSC/6 in 6 clock mode, OSC/12 in 12 clock mode) 1: External event counter (falling edge triggered)
CP/RL2#	Capture/Reload flag. When set, captures will occur on negative transitions at T2EX if EXEN2 = 1. When cleared, auto-reloads will occur either with Timer 2 overflows or negative transitions at T2EX when EXEN2 = 1. When either RCLK = 1 or TCLK = 1, this bit is ignored and the timer is forced to auto-reload on Timer 2 overflow.

Timer/Counter 2 Mode Control (T2MOD)

Location	7	6	5	4	3	2	1	0	Reset Value
C9H	-	-	-	-	-	-	T2OE	DCEN	xxxxx00b

Symbol	Function
-	Not implemented, reserved for future use. Note: User should not write 1s to reserved bits. The value read from a reserved bit is indeterminate.
T2OE	Timer 2 Output Enable bit.
DCEN	Down Count Enable bit. When set, this allows Timer 2 to be configured as an up/down counter.

4.0 FLASH 存储器编程

器件的内部 flash 存储器可以通过如下两种方法进行编程或擦除：

1. 外主编程模式
2. IAP 模式

4.1 外主编程模式

外主编程模式允许用户对 FLASH 存储器直接编程而不通过 CPU。外主模式的进入通过在 RST 输入持续地为高时强制的在 PSEN#上加一个逻辑高到逻辑低的动作。在 RST=1 和 PSEN#=0 时器件保持外主模式。

在外主模式下器件需要一个读 ID 的操作来“ARM”器件，在执行该操作前其他任何外主模式命令都将无效。在外主模式下，内部 FLASH 存储器块通过重分配的 I/O 脚（详见图 4-1）由外部主机，如 MCU 编程器，PCB 测试器或 PC 控制的开发板来读取。

TABLE 4-1: EXTERNAL HOST MODE COMMANDS FOR SST89E/V564RD

Operation	RST	PSEN#	PROG#/ ALE	EA#	P3[7]	P3[6]	P2[7]	P2[6]	P0[7:0]	P3[5:4] P2[5:0]	P1[7:0]
Read-ID	V _{IH1}	V _{IL}	V _{IH}	V _{IH}	V _{IL}	V _{IL}	V _{IL}	V _{IL}	DO	AH	AL
Chip-Erase	V _{IH1}	V _{IL}	↓ ¹	V _{IH}	V _{IL}	V _{IL}	V _{IL}	V _{IH}	X	X	X
Block-Erase	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IH}	V _{IH}	V _{IL}	V _{IH}	X	X	X
Sector-Erase	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IH}	V _{IL}	V _{IH}	V _{IH}	X	AH	AL
Byte-Program	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IH}	V _{IH}	V _{IH}	V _{IL}	DI	AH	AL
Byte-Verify (Read)	V _{IH1}	V _{IL}	V _{IH}	V _{IH}	V _{IH}	V _{IH}	V _{IL}	V _{IL}	DO	AH	AL
Select-Block0	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IH}	V _{IL}	V _{IL}	V _{IH}	X	55H	X
Select-Block1	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IH}	V _{IL}	V _{IL}	V _{IH}	X	A5H	X
Prog-SC0	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IH}	V _{IL}	V _{IL}	V _{IH}	X	5AH	X
Prog-SB1	V _{IH1}	V _{IL}	↓	V _{IH}	X	X	X				
Prog-SB2	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IL}	V _{IL}	V _{IH}	V _{IH}	X	X	X
Prog-SB3	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IL}	V _{IH}	V _{IL}	V _{IH}	X	X	X
Enable-Clock-Double	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IH}	V _{IL}	V _{IL}	V _{IL}	X	55H	X

T4-1.1 555

1. Symbol ↓ signifies a negative pulse and the command is asserted during the low state of PROG#/ALE input. All other combinations of the above input pins are invalid and may result in unexpected behaviors.

Note: V_{IL} = Input Low Voltage; V_{IH} = Input High Voltage; V_{IH1} = Input High Voltage (XTAL, RST); X = Don't care; AL = Address low order byte; AH = Address high order byte; DI = Data Input; DO = Data Output

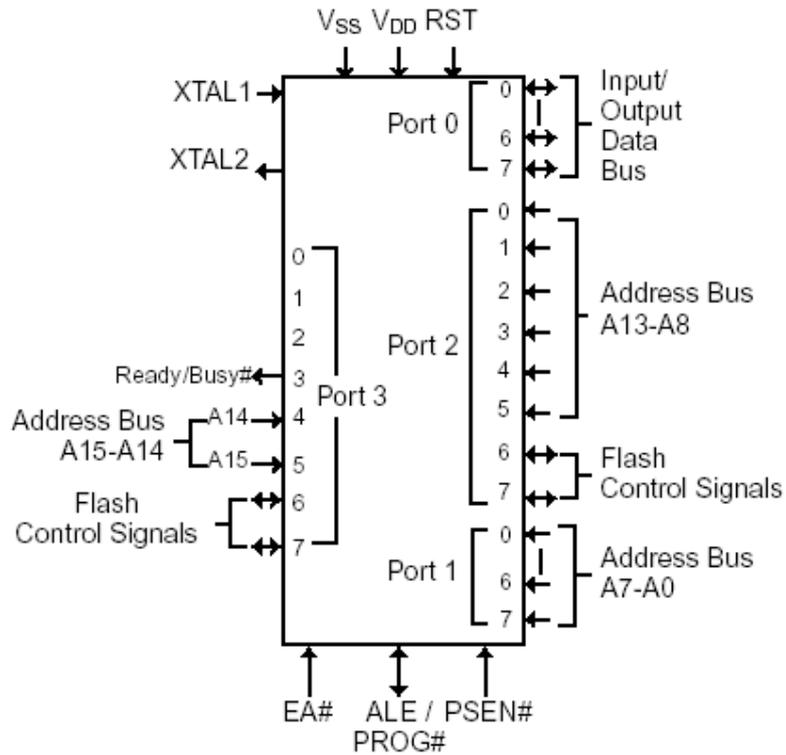
TABLE 4-2: EXTERNAL HOST MODE COMMANDS FOR SST89E/V554RC

Operation	RST	PSEN#	PROG#/ ALE	EA#	P3[7]	P3[6]	P2[7]	P2[6]	P0[7:0]	P3[5:4] P2[5:0]	P1[7:0]
Read-ID	V _{IH1}	V _{IL}	V _{IH}	V _{IH}	V _{IL}	V _{IL}	V _{IL}	V _{IL}	DO	AH	AL
Chip-Erase	V _{IH1}	V _{IL}	↓ ¹	V _{IH}	V _{IL}	V _{IL}	V _{IL}	V _{IH}	X	X	X
Block-Erase	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IH}	V _{IH}	V _{IL}	V _{IH}	X	A[15:13]	X
Sector-Erase	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IH}	V _{IL}	V _{IH}	V _{IH}	X	AH	AL
Byte-Program	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IH}	V _{IH}	V _{IH}	V _{IL}	DI	AH	AL
Byte-Verify (Read)	V _{IH1}	V _{IL}	V _{IH}	V _{IH}	V _{IH}	V _{IH}	V _{IL}	V _{IL}	DO	AH	AL
Prog-SC0	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IH}	V _{IL}	V _{IL}	V _{IH}	X	5AH	X
Prog-SC1	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IH}	V _{IL}	V _{IL}	V _{IH}	X	AAH	X
Prog-SB1	V _{IH1}	V _{IL}	↓	V _{IH}	X	X	X				
Prog-SB2	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IL}	V _{IL}	V _{IH}	V _{IH}	X	X	X
Prog-SB3	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IL}	V _{IH}	V _{IL}	V _{IH}	X	X	X
Enable-Clock-Double	V _{IH1}	V _{IL}	↓	V _{IH}	V _{IH}	V _{IL}	V _{IL}	V _{IL}	X	55H	X

T4-2.0 555

1. Symbol ↓ signifies a negative pulse and the command is asserted during the low state of PROG#/ALE input. All other combinations of the above input pins are invalid and may result in unexpected behaviors.

Note: V_{IL} = Input Low Voltage; V_{IH} = Input High Voltage; V_{IH1} = Input High Voltage (XTAL, RST); X = Don't care; AL = Address low order byte; AH = Address high order byte; DI = Data Input; DO = Data Output; A[15:13] = 0xb for Block 0 and A[15:13] = 11b for Block 1



555 ILL F04.2

FIGURE 4-1: I/O PIN ASSIGNMENTS FOR EXTERNAL HOST MODE

4.1.1 产品识别

读 ID 命令存取标有器件识别和生产厂家 SST 信息的标志字节。外部的编程器读取该标志字节主要用于编程算法。读 ID 命令由 P3[7:6]和 P2[7:6]上的命令代码 0H 所选择。见图 13-14 的时序波形。

TABLE 4-3: PRODUCT IDENTIFICATION

	Address	Data
Manufacturer's ID	30H	BFH
Device ID		
SST89E564RD	31H	91H
SST89V564RD	31H	90H
SST89E554RC	31H	99H
SST89V554RC	31H	98H

T4-3.0 555

4.1.2 武装命令 (Arming Command)

武装命令序列必须在外主模式命令被器件认可之前进行。这样可以阻止由于噪音或编程错误引发的外主模式命令的意外触发。武装命令如下：

1. RST 为高时 PSEN#拉低。这样器件进入外主模式，重配置管脚，把片内振荡器开启。
2. 读命令执行后，1ms 之后，外主模式命令就可以执行了。
在如上时序之后，其他的外主模式命令都可以使能了。在读 ID 命令接收到之前，接收

到的其他外主模式命令都将被忽略。

4.1.3 外主模式命令

外主模式下的命令有：读 ID，芯片擦除，块擦除，扇区擦除，字节编程，字节校验，Prog-SB1，Prog-SB2，Prog-SB3，Prog-SC0，Prog-SC1，块 0 选择，块 1 选择。信号逻辑分配见表格 4-1 和 4-2。图 4-1 为 I/O 脚分配，表格 13-11 为时间参数。各擦除和编程命令的时序由一个片内 FLASH 存储器控制器发生。由内部同步的 PROG#信号的从高到低的转换初始化擦除或编程命令。读命令为异步读，取决于 PROG#的信号电平。

如下为一个详细描述的外主模式命令：

块 0 选择命令使能块 0 在外主模式下被编程。一旦该命令被执行，所有的并发的外主模式命令将都在块 0 上。定时脉冲波形见图 13-15。该命令只应用于 SST89E564RD 和 SST89V564RD。

块 1 选择命令使能块 1（8K 字节的块）在外主模式下被编程。一旦该命令被执行，所有的并发的地址范围低于 2000H 的外主模式命令都将作用在块 1 上。块 1 选择命令只影响程序地址空间的低 8K 字节。大于等于 2000H 的地址，就默认在块 0 上存取。一旦进入外主模式，默认就选中块 1。定时脉冲波形见图 13-15。该命令只应用于 SST89E564RD 和 SST89V564RD。

芯片擦除命令擦除所有的存储器块的，并不在意当前选中哪个块。芯片擦除忽略保密状态，并将擦除保密位，使芯片重新恢复到未加密状态。芯片擦除命令同时擦除 SC0 位。芯片擦除命令完成后，块 1 就被选中。定时脉冲波形见图 13-16。

块擦除命令擦除所选块内的所有数据。如果加密位使能该命令将不被执行。要擦除的块的选择由先前执行的块 0 选择和块 1 选择命令所决定。定时脉冲波形见图 13-17 和图 13-18。

扇区擦除命令擦除所选扇区内的所有数据。FLASH 存储器的扇区大小为 128 字节。如果加密位使能该命令不被执行。定时脉冲波形见图 13-19。

字节编程命令用于把新数据编程到存储器阵列。如果有任何等级的加密字节编程将被取消。定时脉冲波形见图 13-20。

字节校验命令允许用户校验器件进行的擦除或编程操作是否正确。如果有任何等级的加密该命令将无效。定时脉冲波形见图 13-23。

Prog-SB1，Prog-SB2，Prog-SB3 命令用于编程加密位，这些命令的功能在加密所章节内有详细描述。也可见表格 9-1。一旦使用这些命令进行加密后只能采用片擦除命令才能擦除加密位。定时脉冲波形见图 13-21。

Prog-SC0 命令编程 SC0 位，由 SFCF[0]决定。（determines the state of SFCF[0] out of reset）。一旦编程，通过芯片擦除命令 SC0 将只能保持擦除状态。定时脉冲波形见图 13-22。

Prog-SC1 命令编程 SC1 位，由 SFCF[1]决定。（determines the state of SFCF[1] out of reset）。一旦编程，通过芯片擦除命令 SC1 将只能保持擦除状态。定时脉冲波形见图 13-23。Prog-SC1 仅对 SST89E/V554RC 有效。

4.1.4 外主模式时钟源

在外主模式下，内部振荡器将为器件提供时钟。当芯片进入外主模式，片内的振荡器将被启动，即当 RST 为高时 PSEN#上由高到低时。在外主模式下 CPU 核保持复位状态。一旦退出外主模式，片内振荡器关闭。

4.1.5 通过外主握手对 FLASH 操作进行监测

芯片提供两种方法用于让外部主机检测 FLASH 存储器操作是否完成以便优化编程或擦除时间。FLASH 存储器操作周期完成可以通过如下方法检测到：

1. 监视 P3[3]脚上的 Ready/Busy#位

2. 监视 P0[3]上的 Data# 轮检位。

4.1.5.1 Ready/Busy# (P3[3])

FLASH 存储器的编程可以通过 Ready/Busy# 输出信号进行检测。FLASH 程序存储器操作期间,在 ALE/PROG# 拉低后的一段时间,如果 P3[3]走低就指示 FLASH 控制单元(FCU)忙 (BUSY)。当 FLASH 编程操作完成, P3[3]就被拉高,用于指示就绪状态。(READY)

4.1.5.2 Data# Polling (P0[3])

在编程操作期间,当器件忙时,任何读操作都将收到所 Loaded 的最后字节和。(During a Program operation,any attempts to read,while the device is busy ,will receive the complement of the data of the last byte loaded on P0[3] with the rest of the bits “0”) (逻辑低,举例,擦除操作为“0”),其余位为零。在编程操作期间,字节校验命令读取最后下载的字节,而不是指定地址内的数据。

4.1.6 执行外主模式命令的说明

为了将数据编程存储器阵列,需把电源脚接至 VDD 和 RST,然后执行如下操作:

1. 保持 RST 高,置 PSEN#脚从逻辑高到低,依据适当的时序进行编程。
2. EA#脚置高 (V_{IH})
3. 执行读 ID 命令使能外主模式
4. 校验要编程的存储器块或扇区在擦除状态, FFH。如果未进行擦除,就用适当的擦除命令进行擦除。
5. 用地址排 (P3[5:4],P2[5:0],P1[7:0]) 进行存储器地址定位。
6. 在 P0[7:0]上传送数据。
7. ALE/PROG#脉冲,注意最小脉冲宽度。
8. 等待 Ready/Busy# (P3[3]) 脚上的从低到高的变换。
9. 重复 5-8 的步骤知道编程结束。
10. 校验 FLASH 存储器的内容

4.1.7 外主模式下附加的读命令

执行附加的读命令的程序见表格 4-4,格式和读 ID 命令一样,只是改变了地址。如下为简短的特性举例:

1. 读加密字节 (SB1,SB2,SB3...) 状态
2. 读 SC0 和 SC1 的配置位
3. 使能×2 模式 (即六时钟周期模式)

注:表格 4-4 内的命令为非“ARMING”类型。

TABLE 4-4: ADDITIONAL READ COMMANDS IN EXTERNAL HOST MODE

Address	Data							
				SC1	SC0	SB1	SB2	SB3
60H	X	X	X	SC1	SC0	SB1	SB2	SB3
61H	X	X	X	X	X	X	EDC	X

X = don't care

T4-4.1 555

4.2 IAP 编程模式

器件提供 72 或者 40K 字节的在应用可编程 flash 存储器。在在应用可编程过程中,控制器的 CPU 进入 IAP 模式。该两块 flash 存储器允许 CPU 在一个块里面执行用户代码,同时在另一个块里面进行代码擦除或者重新编程。当片内的两个 FLASH 块都在进行编程时 CPU 也可以从外部存储器获取程序代码来执行。定位在 SFR 中的邮箱寄存器控制和监视器

件的擦除和编程过程。

表格 4-7 略述了各命令和相关的邮箱寄存器的设置。

4.2.1 在应用可编程模式下的时钟源

在 IAP 模式下，CPU 核和 flash 控制单元由外部时钟驱动。然而，一个内部的振荡器可以提供编程和擦除操作的定时基准。该内部振荡器只在需要时才被开启，同时在 Flash 操作结束后马上被关闭。

4.2.2 在应用可编程模式下的存储器空间选择

由于寻址空间被限制为 16 位，所以在任一时刻只有 64K 字节的程序存储空间能被寻址到。如表 4-5 所示，存储空间选择，（由 EA#和 SFCF[1:0]配置），允许存储块 1 覆盖存储块 0 的最低的 8K 字节空间，使得块 1 可以被用到。出于这一概念块 0 和块 1 之间可以通过 IAP 操作相互读取。不可见的块的代码不能编程另外的地址，但是不可见的块可以通过邮箱寄存器被另外的块编程。

器件允许通过 IAP 把代码从一个块存储器编程另一个块存储器，但是不能编程同一个块内的任何地址。如果 IAP 操作在块 1 内进行，这就暗示着当前目标地址为块 0。如果 IAP 操作来自于外部程序空间，那目标地址就依赖于块地址的选择位。

4.2.3 IAP 使能位

IAP 的使能位，SFCF[6]，使能在应用可编程模式。除非该位被置位，不然所有的 IAP 命令都会被忽略。

TABLE 4-5: IAP ADDRESS RESOLUTION FOR SST89E/V564RD

EA#	SFCF[1:0]	Address of IAP Inst.	Target Address	Block Being Programmed
1	00	>= 2000H (Block 0)	>= 2000H (Block 0)	None ¹
1	00	>= 2000H (Block 0)	< 2000H (Block 1)	Block 1
1	00	< 2000H (Block 1)	Any (Block 0)	Block 0
1	01, 10, 11	Any (Block 0)	>= 2000H (Block 0)	None ¹
1	01, 10, 11	Any (Block 0)	< 2000H (Block 1)	Block 1
0	00	From external	>= 2000H (Block 0)	Block 0
0	00	From external	< 2000H (Block 1)	Block 1
0	01, 10, 11	From external	Any (Block 0)	Block 0

T4-5.0 555

1. No operation is performed because code from one block may not program the same originating block

4.2.4 在应用可编程模式下的命令

如下各命令只能在 IAP 模式下才能使用。在各种情形下，在 SFCM 寄存器中写入控制字节后都会启动各种 IAP 操作。如果所选存储块的保密锁被使能了那所有的命令将都不能使用。编程命令用于写入新的数据到存储器阵列。要被编程的存储器阵列应处于擦除状态，FFH。如果器件未被擦除应先执行恰当的擦除命令。警告：不要企图去写入（编程或擦除）读取代码的块。这样会导致不可预见的程序行为并可能破坏程序数据。

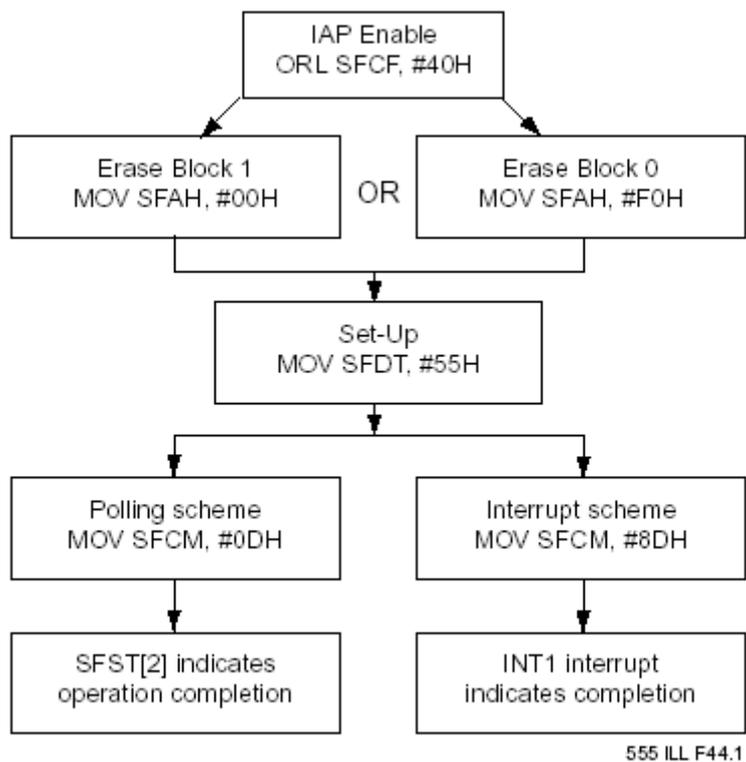
4.2.4.1 芯片擦除

芯片擦除命令可以擦除所有程序存储块的内容。该命令只有当 EA#=0（外部程序空间执行）时才有效。另外当器件为 4 级加密时该命令不允许。在另外的情况下该命令忽略加密状态并会擦除加密位和重定位位。

4.2.4.2 块擦除

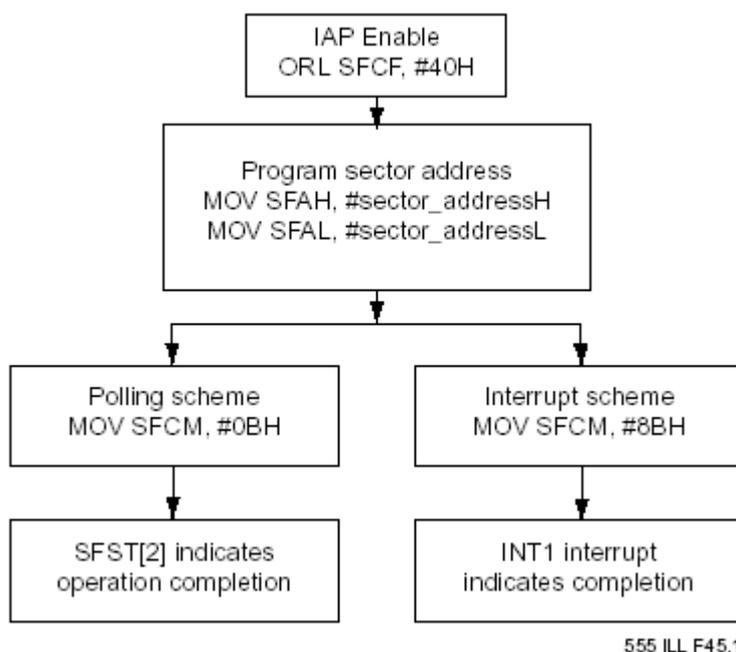
块擦除的命令擦除两个块中其中一块的全部数据（块 0 和块 1）。要擦除的块的由 SUPERFLASH 的地址寄存器（FAH[7]）决定。对 SST89X564RD，请参见表 4-5。对

SST89X554RC，如果 SFAH[7]=0b，主 FLASH 存储器块 0 被选中。如果 SFAH[7:4]=EH，则次存储块 1 被选中。SST89X554RC 的块擦除命令顺序如下：



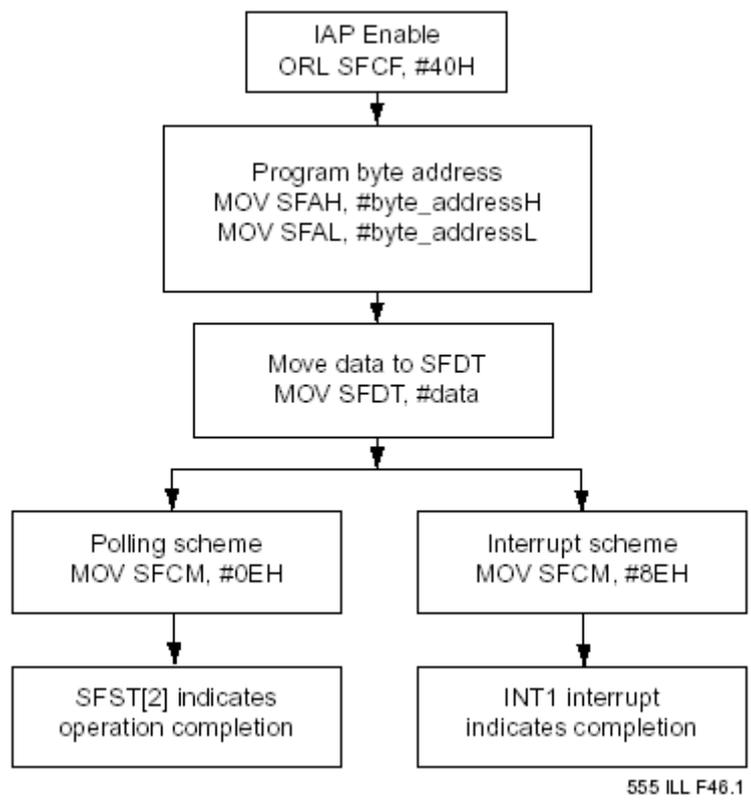
4.2.4.3 扇区擦除

扇区擦除命令可以擦除一个扇区的所有内容。FLASH 存储块的扇区大小为 128 字节。要擦除的扇区由 SFAH 和 SFAL 来选中。



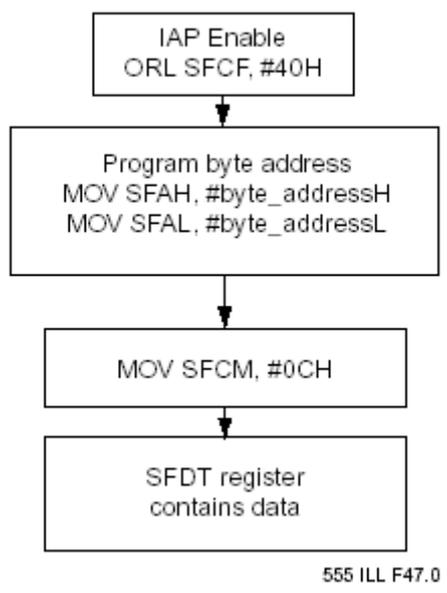
4.2.4.4 字节编程

字节编程命令为把数据逐字节写入。写入地址由 SFAH 和 SFAL 决定。要写入的内容在 SFDT 内。



4.2.4.5 字节校验

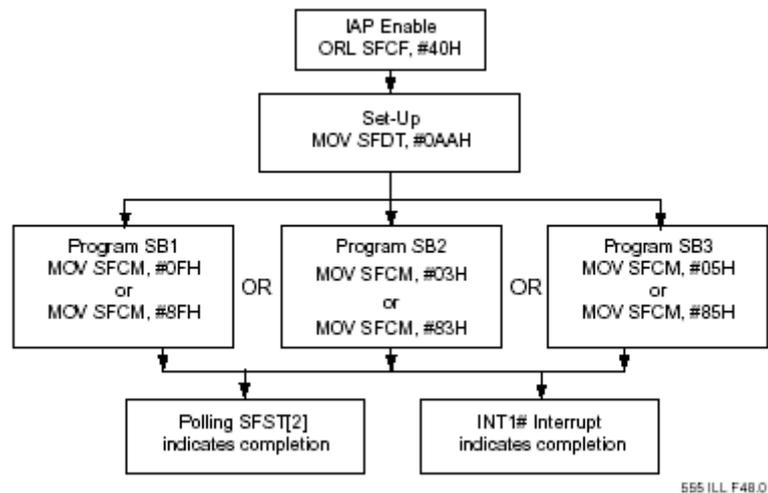
字节检验命令可以让用户来检验擦除或写入命令的正确性。如果命令正确，字节检验命令把数据返回到 SFDT 内。在进行字节校验之前用户应确保当前的 FLASH 操作已经完成。由于字节校验的速度非常快，所以用户不用等待命令结束，同时没有中断会发生。



4.2.4.6 Prog-SB3, Prog-SB2, Prog-SB1

Prog-SB3,Prog-SB2,Prog-SB1 命令是用来对保密位进行编程的（见表格 9-1）。当加密命令完成后，保密等级就能立即显现。

保密位处于未编程状态的下就可以执行加密。Prog-SB3,Prog-SB2,Prog-SB1 命令只在块 1 和外面程序存储空间才有效。



555 ILL F4B.0

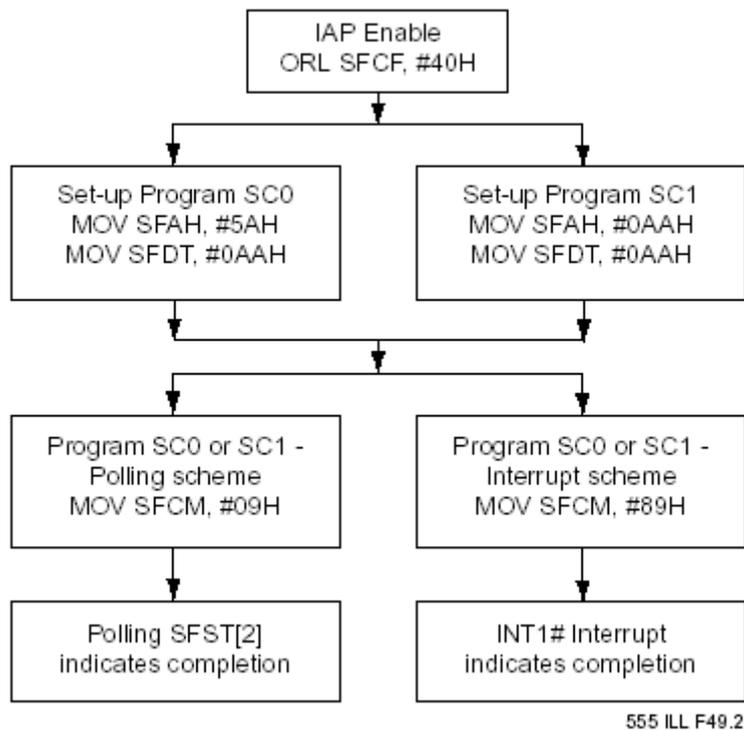
4.2.4.7 Prog-SC0, Prog-SC1

Prog-SC0 命令用于对 SC0 位进行编程。该命令只是改变 SC0 位的内容，在重启之前对 BSEL 位不起作用。

SC0 当前如果处于未编程状态就可以用该命令进行编程。Prog-SC0 命令只在块 1 或外部程序存储空间才有效。

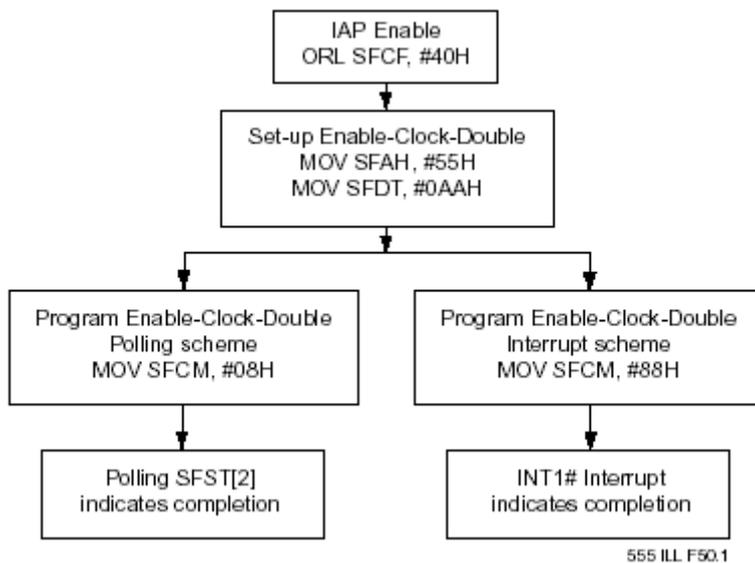
Prog-SC1 命令用于对 SC1 位进行编程。该命令只是改变 SC1 位的内容，在重启之前对 SFCF[1] 位不起作用。

SC1 当前如果处于未编程状态就可以用该命令进行编程。Prog-SC1 命令只在块 1 或外部程序存储空间才有效。



4.2.4.8 时钟加倍使能

时钟加倍使能命令用于让 MCU 工作在 1 机器周期为 6 时钟周期下。标准（默认）模式为 12 时钟周期为 1 机器周期（即加倍命令禁能）。



外部主机模式下没有对应的选块 0 和块 1 的 IAP 模式。

4.2.5 轮检

用轮寻的方法来检测 FLASH 操作是否完成，通过设置 FLASH_BUSY 位（SFST[2]）来体现。当 FLASH_BUSY 位为逻辑 0 时，器件可以进行下一次的 FLASH 操作。

MOVC 指令也可以用来校验 FLASH 存储器的编程和擦除操作。但是如果 FLASH 块还忙的时候使用 MOVC 指令时就会失败。

4.2.6 中断终止

如果中断终止被选中的话，（位 SFCM[7]被置位），会有一个中断（INT1）产生，用来指示 FLASH 操作完成。在这种条件下，INT1 变成了内部中断源。这时 INT1#脚可以当成普通用途的脚，同时在 IAP 时外部中断 1 的中断不内理睬。

为了采用一个中断，作为 FLASH 操作完成的信号。IE 寄存器的 EX1 和 EA 位应被置位。TCON 寄存器的 IT1 位应置位，用于边缘触发检测。

表格 4-6 SST89E/V564RD 的 IAP 命令

TABLE 4-6: IAP COMMANDS¹ FOR SST89E/V564RD

Operation	SFCM [6:0] ²	SFDT [7:0]	SFAH [7:0]	SFAL [7:0]
Chip-Erase ³	01H	55H	X ⁴	X
Block-Erase ⁵	0DH	55H	AH	X
Sector-Erase ⁵	0BH	X	AH ⁶	AL ⁷
Byte-Program ⁵	0EH	DI ⁸	AH	AL
Byte-Verify (Read) ⁵	0CH	DO ⁸	AH	AL
Prog-SB1 ⁹	0FH	AAH	X	X
Prog-SB2 ⁹	03H	AAH	X	X
Prog-SB3 ⁹	05H	AAH	X	X
Prog-SC0 ⁹	09H	AAH	5AH	X
Enable-Clock-Double ⁹	08H	AAH	55H	X

T4-6.4 555

1. SFCF[6]=1 enables IAP commands; SFCF[6]=0 disables IAP commands.
2. Interrupt/Polling enable for flash operation completion
SFCM[7] = 1: Interrupt enable for flash operation completion
0: polling enable for flash operation completion
3. Chip-Erase only functions in IAP mode when EA#=0 (external memory execution) and device is not in level 4 locking.
4. X can be V_{IL} or V_{IH}, but no other value.
5. Refer to Table 4-5 for address resolution
6. AH = Address high order byte
7. AL = Address low order byte
8. DI = Data Input, DO = Data Output, all other values are in hex.
9. Instruction must be located in Block 1 or external code memory.

Note: DISIAPL pin in PLCC or TQFP will also disable IAP commands if it is externally pulled low when reset.

表格 4-7 SST89E/V554RC 的 IAP 命令

TABLE 4-7: IAP COMMANDS¹ FOR SST89E/V554RC

Operation	SFCM [6:0] ²	SFDT [7:0]	SFAH [7:0]	SFAL [7:0]
Chip-Erase ³	01H	55H	X ⁴	X
Block-Erase	0DH	55H	AH ⁵	X
Sector-Erase	0BH	X	AH	AL ⁶
Byte-Program	0EH	DI ⁷	AH	AL
Byte-Verify (Read) ⁸	0CH	DO ⁷	AH	AL
Prog-SB1 ⁹	0FH	AAH	X	X
Prog-SB2 ⁹	03H	AAH	X	X
Prog-SB3 ⁹	05H	AAH	X	X
Prog-SC0 ⁹	09H	AAH	5AH	X
Prog-SC1 ⁹	09H	AAH	AAH	X
Enable-Clock-Double ⁹	08H	AAH	55H	X

T4-7.2 555

1. SFCF[6]=1 enables IAP commands; SFCF[6]=0 disables IAP commands.
2. Interrupt/Polling enable for flash operation completion
SFCM[7] = 1: Interrupt enable for flash operation completion
0: polling enable for flash operation completion
3. Chip-Erase only functions in IAP mode when EA#=0 (external memory execution) and device is not in level 4 locking.
4. X can be V_{IL} or V_{IH} , but no other value.
5. AH = Address high order byte
6. AL = Address low order byte
7. DI = Data Input, DO = Data Output, all other values are in hex.
8. SFAH[7:5] = 111b selects Block 1, SFAH[7] = 0b selects Block 0
9. Instruction must be located in Block 1 or external code memory.

Note: DISIAPL pin in PLCC or TQFP will also disable IAP commands if it is externally pulled low when reset.

5.0 定时器/计数器

5.1 定时器 T0,T1,T2

该器件有三个 16 位的寄存器，可以用来进行定时或者计数。三个定时/计数器分别为定时器 0 (T0)，定时器 1 (T1)，定时器 2 (T2)。每个定时器都由两个 SFR 内的 8 位的寄存器控制。该寄存器对分别为高位和低位。即 TL0,TH0,TL1,TH1,TL2,TH2。

5.2 定时器结构

在表格 3—10 内为与 T0,T1,T2 有关的 TMOD,TCON,T2CON 寄存器。以下的表格提供了设定 T0,T1,T2 定时器时的 TMOD 的值。除了波特率发生器模式外，给定的 T2CON 的值不包括 TR2 位的设定。同时，TR2 位应另外分开进行设置用于启动时钟。

TABLE 5-1: TIMER/COUNTER 0

	Mode	Function	TMOD	
			Internal Control ¹	External Control ²
Used as Timer	0	13-bit Timer	00H	08H
	1	16-bit Timer	01H	09H
	2	8-bit Auto-Reload	02H	0AH
	3	Two 8-bit Timers	03H	0BH
Used as Counter	0	13-bit Timer	04H	0CH
	1	16-bit Timer	05H	0DH
	2	8-bit Auto-Reload	06H	0EH
	3	Two 8-bit Timers	07H	0FH

T5-1.0 555

1. The Timer is turned ON/OFF by setting/clearing bit TR0 in the software.
2. The Timer is turned ON/OFF by the 1 to 0 transition on INT0# (P3.2) when TR0 = 1 (hardware control).

TABLE 5-2: TIMER/COUNTER 1

	Mode	Function	TMOD	
			Internal Control ¹	External Control ²
Used as Timer	0	13-bit Timer	00H	80H
	1	16-bit Timer	10H	90H
	2	8-bit Auto-Reload	20H	A0H
	3	Does not run	30H	B0H
Used as Counter	0	13-bit Timer	40H	C0H
	1	16-bit Timer	50H	D0H
	2	8-bit Auto-Reload	60H	E0H
	3	Not available	-	-

T5-2.0 555

1. The Timer is turned ON/OFF by setting/clearing bit TR1 in the software.
2. The Timer is turned ON/OFF by the 1 to 0 transition on INT1# (P3.3) when TR1 = 1 (hardware control).

TABLE 5-3: TIMER/COUNTER 2

	Mode	Internal Control ¹	External Control ²
Used as Timer	16-bit Auto-Reload	00H	08H
	16-bit Capture	01H	09H
	Baud rate generator receive and transmit same baud rate	34H	36H
	Receive only	24H	26H
	Transmit only	14H	16H
	Used as Counter	16-bit Auto-Reload	02H
	16-bit Capture	03H	0BH

T5-3.0 555

1. Capture/Reload occurs only on timer/counter overflow.
2. Capture/Reload occurs on timer/counter overflow and a 1 to 0 transition on T2EX (P1.1) pin except when Timer 2 is used in the baud rate generating mode.

5.3 可编程时钟输出

一个占空比为 50% 的可编程时钟可以在 P1.0 输出。在该脚，除了原本的 I/O 脚外还有两个可选的功能。该脚可被编程为：

1. 为定时器/计数器 2 提供外部时钟源输入。
2. 输出一个占空比为 50% 的时钟，在 16MHz 的工作频率下 P1.0 口输出的频率范围为 122Hz 到 8MHz（61Hz 到 4MHz 在 12 时钟模式下）。

为了把定时器/计数器 2 配置成时钟发生器，C#T2（在 T2CON 内）位应被清位，T20E 位（在 T2MOD 内）应被置位。TR2 位（T2CON.2）也应被置位用于启动时钟。

输出时钟的频率取决于振荡器的频率和定时器 2 的捕获寄存器的装入值 (RCAP2H,RCAP2L), 公式如下所示:

$$\frac{\text{Oscillator Frequency}}{n \times (65536 - \text{RCAP2H}, \text{RCAP2L})}$$

n = 2 (in 6 clock mode)
4 (in 12 clock mode)

RCAP2H 和 RCAP2L 的内容为 16 位无符号整数。

在时钟输出模式下, 定时器溢出并不会产生中断, 这与被配置为波特率发生器时一样。也可以把 T2 配置成波特率发生器的同时作为时钟发生器使用。注意: 无论如何, 波特率和输出时钟频率是不可能一样的。

6.0 串行口

6.1 全双工, 增强型 UART

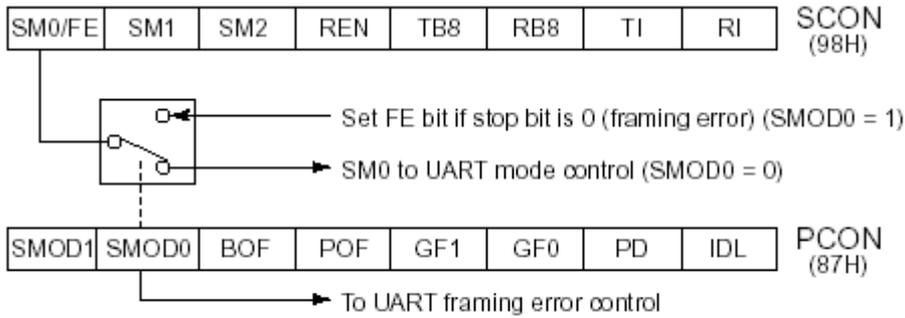
该器件的串行 I/O 口为全双工的口, 即允许通过发送和接收寄存器在硬件上分别进行发送和接收, 同时软件还可以处理其他任务。发送和接收寄存器都定位在串行数据缓冲 (SBUF) 特殊功能寄存器。对 SBUF 写入数据就装入到了发送寄存器, 从 SBUF 寄存器内读出数据就接收到了接收寄存器的内容。

UART 有四种工作模式, 可以通过 SCON 寄存器的 SM0 和 SM1 位来选择。在四种模式下, 发送都是都是使用 SBUF 作为目的寄存器。当 SCON 的 RI 标志清位, REN 位置位, 接收模式初始化为模式 0,

6.1.1 帧错误侦测

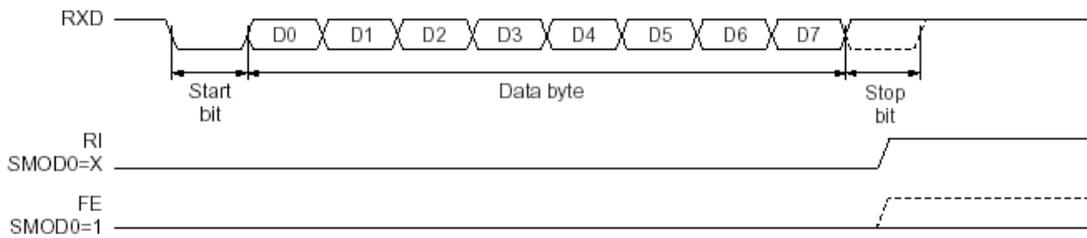
帧错误侦测是一个特色, 它可以允许接收控制器检测模式 1, 2 或 3 下的有效的停止位。丢失停止位可能由串行传送时的噪音或两个 CPU 在同时传送数据时发生。

帧错误检测可以通过改变 PCON 寄存器和 SMOD0=1 (见图 6-1) 来进行选中。如果停止位丢失, 帧错误检测位就会被置位。系统软件会在每个接收周期后对 FE 位进行检查, 以发现数据错误。在 FE 位被置位后只能通过软件来清除。有效的停止位不会清除 FE 位。当 FE 使能, RI 上升到停止位, 代替最后的数据位 (见图 6-2 和图 6-3)。



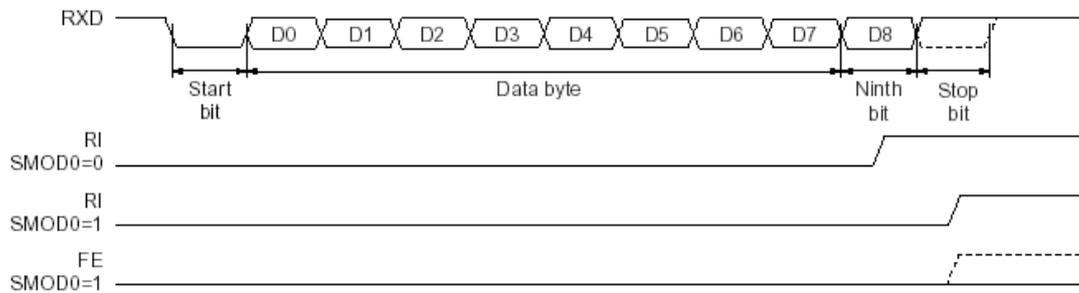
555 ILL F52.1

FIGURE 6-1: FRAMING ERROR BLOCK DIAGRAM



555 ILL F53.0

FIGURE 6-2: UART TIMINGS IN MODE 1



555 ILL F54.0

FIGURE 6-3: UART TIMINGS IN MODES 2 AND 3

6.1.2 自动地址识别

自动地址识别用于帮助减少 MCU 与多种外部设备握手的请求时间和系统功耗。每个器件依靠独立的地址挂靠在一条总线上。在这种配置下，一个器件只在其接收到自己的地址后才进行中断，这样就可以省去软件比较地址。

这个特性也有利于节省电源，因为这样器件可以以空闲模式挂靠在总线上，从而全面的降低系统功耗。由于有可能有多个从机连接在一个主机上，只有一个从机会被总空闲模式被中断唤醒来与主机通讯。自动地址识别（AAR）允许只有一个从机被中断而其他从机处于休眠状态。通过限制中断的个数可以减少系统的总电流消耗。

有两种方式与从机进行通讯：全部从机和部分从机。和部分从机通讯，主机发送给定

地址。和全部从机通讯主机发送名为“广播”的地址。

AAR 可以配置成模式 2 或 3（9 位模式），并设置 SCON 中的 SM2 位。每个 SM2 位被置位的从机就一直等待一个地址字节。（第九位为 1）。只有当接收到的字节和给定地址或者广播地址相符时接收中断标志符才被置位。然后该从机把 SM2 位清掉，以便从主机接收数据字节（第九位为 0）。当第九位地址为 1 时，主机发送的为地址，当第九位为 0 时主机发送的为数据。

如果使用模式 1，停止位取代第九位。位 RI 只有在接收到的命令帧地址和本器件地址相符并一个有效停止位结尾时才被置位。需要注意的是模式 0 不能使用。在 SCON 寄存器里面设置 SM2 位将不起作用。

每个从机的独立的地址由特殊功能寄存器 SADDR 决定。特殊功能寄存器 SADEN 是一个 mask 字节，定义为“don't care”，和 SADDR 联合构成给定地址。见如下示例：

Slave 1

```
SADDR = 1111 0001
SADEN = 1111 1010
-----
GIVEN = 1111 0X0X
```

Slave 2

```
SADDR = 1111 0011
SADEN = 1111 1001
-----
GIVEN = 1111 0XX1
```

6.1.2.1 使用给定地址选择从机

任何从 SADEN 被 0 屏蔽的位都成为给定地址的“don't care”。任何被 1 屏蔽的成为带 SADDR 的 ANDED。

Select Slave 1 Only		
Slave 1	Given Address	Possible Addresses
	1111 0X0X	1111 0000 1111 0100

Select Slave 2 Only		
Slave 2	Given Address	Possible Addresses
	1111 0XX1	1111 0111 1111 0011

Select Slaves 1 & 2	
Slaves 1 & 2	Possible Addresses
	1111 0001 1111 0101

如果用户加入第三个从设备如下示例:

Slave 3

SADDR = 1111 1001

SADEN = 1111 0101

GIVEN = 1111 X0X1

Select Slave 3 Only		
Slave 2	Given Address	Possible Addresses
	1111 X0X1	1111 1011 1111 1001

The user could use the possible addresses above to select slave 3 only. Another combination could be to select slave 2 and 3 only as shown below.

Select Slaves 2 & 3 Only	
Slaves 2 & 3	Possible Addresses
	1111 0011

More than one slave may have the same SADDR address as well, and a given address could be used to modify the address so that it is unique.

6.1.2.2 使用广播寻址方式选择从机

使用广播寻址方式, 主机可以和所有的从机进行通讯。通过对SADDR和SADEN执行与0的逻辑OR操作。(It is formed by performing a logical OR of SADDR and SADEN with 0s in the result treated as “don’t cares”.)

Slave 1

1111 0001 = SADDR

+1111 1010 = SADEN

1111 1X11 = Broadcast

“Don’t cares” 允许定义更广的广播寻址地址, 但在大多数情况下, 广播地址需为FFH。在复位时, SADDR和SADEN为“0”。

On reset, SADDR and SADEN are “0”. This produces an given address of all “don’t cares” as well as a broadcast address of all “don’t cares.” This effectively disables Automatic Addressing mode and allows the microcontroller to function as a standard 8051, which does not make use of this feature.

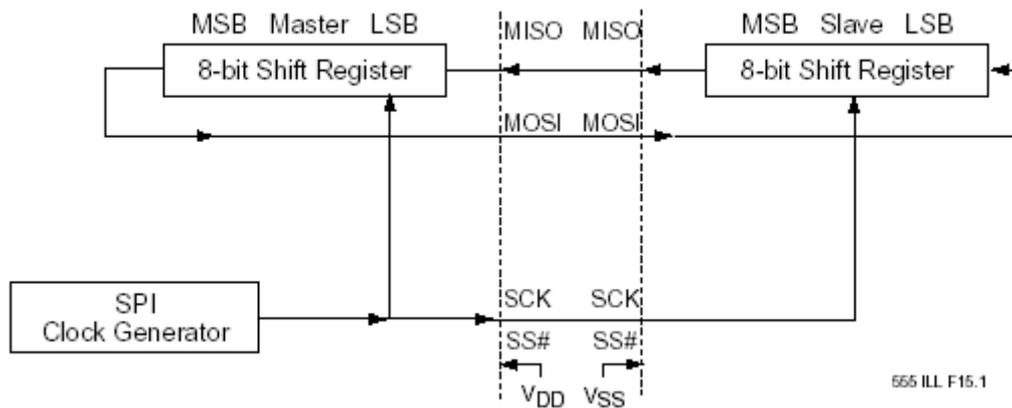


FIGURE 6-4: SPI MASTER-SLAVE INTERCONNECTION

6.2 串行外部接口

6.2.1 SPI 特征

- 1, 主或从操作
- 2, 10MHz 位传输速度 (最大)
- 3, 低位在前或高位在前传送
- 4, 四个可编程等级
- 5, 传送完成标志 (SPIF)
- 6, 写冲突标志保护 (WCOL)
- 7, 可从休眠模式唤醒 (限于从机模式)

6.2.2 SPI 描述

串行外围接口 (SPI) 允许在 SST89E/V564RD/SST89E/V554RC 和外围器件或几个 SST89E/V564RD/SST89E/V554RC 之间进行高速数据传输。

图 6-4 指示的是在主从 SPI 器件之间的通讯。其中 SCK 脚为主模式的时钟输出和从模式的时钟输入。在向主 SPI 器件的数据寄存器进行写操作后 SPI 的时钟发生器就被启动了。写入的数据就从主机的 MOSI 脚移出从从机的 MOSI 脚移入。在一个字节的数据传送完成之后, SPI 时钟发生器就停止 SPIF 标志位被置位。如果 SPI 中断位 (SPIE) 和串口中断允许位 (ES) 都被置位的话就会产生一个 SPI 中断请求。

外部主机驱动从机选择输入脚, SS#/P1[4], 低电平选择 SPI 模块作为从机。如果 SS#/P1[4] 不被拉低, 从 SPI 单元不激活 MOSI/P1[5] 只能被用作输入口。

CPHA 和 CPOL 控制 SPI 时钟的相位和极性。图 6-5 和 6-6 所示为两个位的可能的四

种组合。

6.2.3 SPI 传送格式

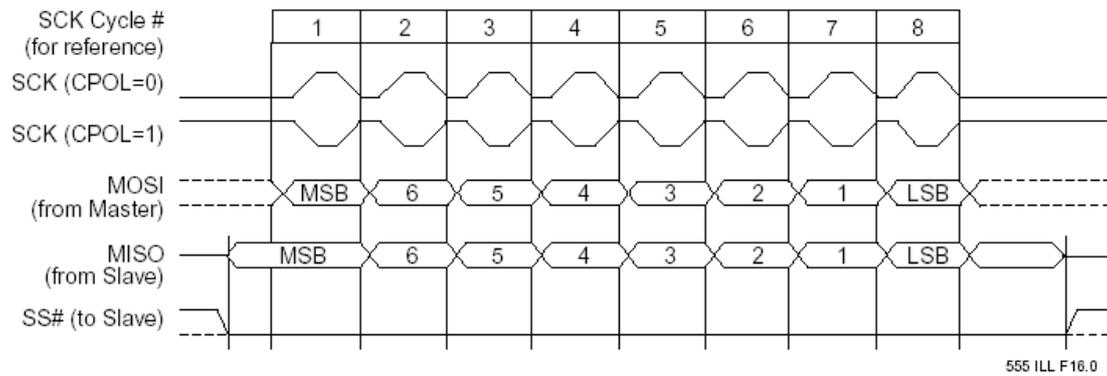


FIGURE 6-5: SPI TRANSFER FORMAT WITH CPHA = 0

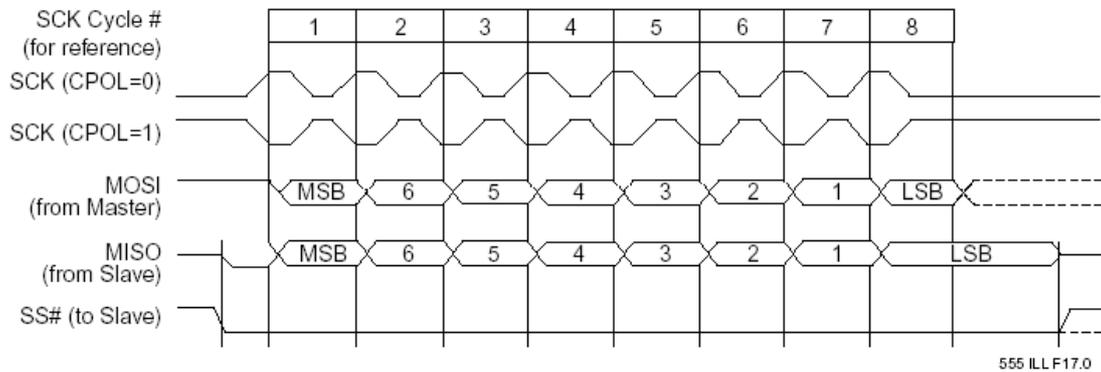


FIGURE 6-6: SPI TRANSFER FORMAT WITH CPHA = 1

- 2, 软件定时器
- 3, 高速输出
- 4, 看门狗定时器 (仅限于模块 4)
- 5, 脉宽调制 (PWM)

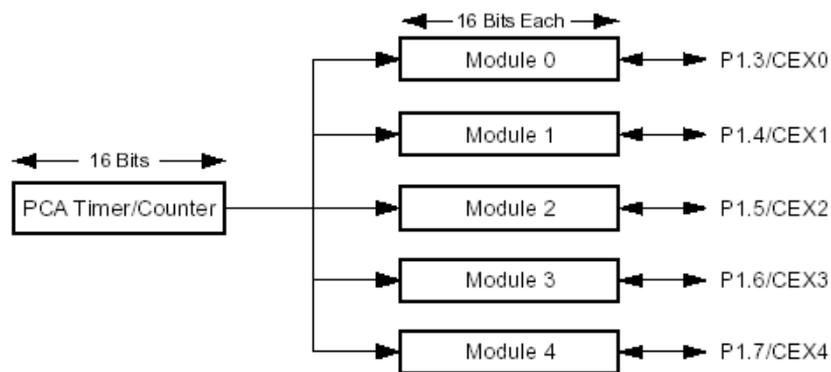
8.2 PCA 定时器/计数器

PCA 定时器为一个由 CH 和 CL 寄存器 (计数值的高位和低位) 组成的 16 位自由运行 (free-running) 的定时器。PCA 定时为五个模块的通用时基, 并能被编程成在如下频率下运行: $f_{osc}/6$ 振荡器频率, $f_{osc}/4$ 振荡器频率, 定时器 0 溢出, 或 ECI 脚上的输入 (P1.2)。该定时器/计数器的来源由 CMOD 特殊功能寄存器的 CPS1 和 CPS0 位决定如下表格 8-1 (见“PCA 定时器/计数器模式寄存器 (CMOD)”):

TABLE 8-1: PCA TIMER/COUNTER SOURCE

CPS1	CPS0	12 Clock Mode	6 Clock Mode
0	0	$f_{osc}/12$	$f_{osc}/6$
0	1	$f_{osc}/4$	$f_{osc}/2$
1	0	Timer 0 overflow	Timer 0 overflow
1	1	External clock at ECI pin (maximum rate = $f_{osc}/8$)	External clock at ECI pin (maximum rate = $f_{osc}/4$)

T8-1.0 555



555 ILL F34.0

FIGURE 8-1: PCA TIMER/COUNTER AND COMPARE/CAPTURE MODULES

如下表格 8-2 总结了在两种通用频率下的不同时钟输入:

TABLE 8-2: PCA TIMER/COUNTER INPUTS

PCA Timer/Counter Mode	Clock Increments	
	12 MHz	16 MHz
Mode 0: $f_{osc}/12$	1 μ sec	0.75 μ sec
Mode 1:	330 nsec	250 nsec
Mode 2: Timer 0 Overflows ¹		
Timer 0 programmed in:		
8-bit mode	256 μ sec	192 μ sec
16-bit mode	65 msec	49 μ sec
8-bit auto-reload	1 to 255 μ sec	0.75 to 191 μ sec
Mode 3: External Input MAX	0.66 μ sec	0.50 μ sec

1. In Mode 2, the overflow interrupt for Timer 0 does not need to be enabled.

T8-2.0 555

带或不带溢出中断使能的 CMOD 的四种可能的定时器模式如下所示: 该列表假定 PCA 在空闲模式下停止运行。

TABLE 8-3: CMOD VALUES

PCA Count Pulse Selected	CMOD Value	
	Without Interrupt Enabled	With Interrupt Enabled
Internal clock, $f_{osc}/12$	00H	01H
Internal clock, $f_{osc}/4$	02H	03H
Timer 0 overflow	04H	05H
External clock at P1.2	06H	07H

T8-3.0 555

8.3.1 捕捉模式

捕捉模式用来捕捉 PCA 定时器计数器的值至模块捕捉寄存器 (CCAPnH 和 CCAPnL)。捕捉可以发生在一个正边缘,也可以发生在一个负边缘,也可正负边缘都有。为了使一个模块进入捕捉模式,则该块的 CCAPM 位或者 CAPN 和 CAPP 位需被置位。当 CEX 脚上一个有效的转变发生时,PCA 硬件装载 16 位 PCA 计数寄存器值到模块的捕捉寄存器 (CCAPnL 和 CCAPnH)。如果 CCON 内的 CCFn 位和 CCAPMn 内的 ECCFn 位被置位,中断就会发生。在中断处理子程序里面,该 16 位捕捉值必须在下一个捕捉事件发生前保存在 RAM 里面。如果后续的捕捉发生,先前的捕捉值就会丢失。在标志位被硬件置位后,用户必须通过软件清除标志位。(见图 8-2)

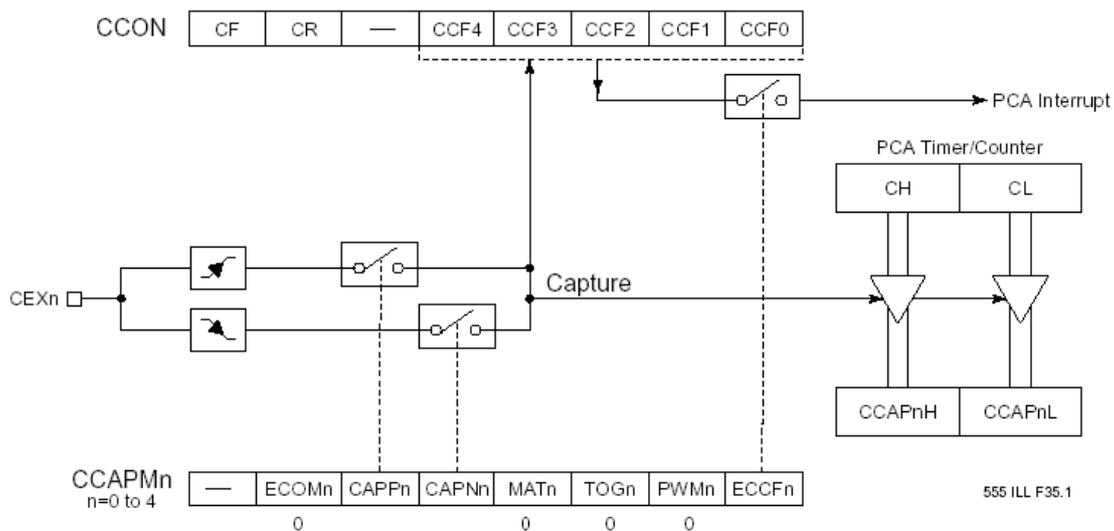


FIGURE 8-2: PCA CAPTURE MODE

8.3.2 16 位软件定时器模式

16 位软件定时器模式用于触发需周期性发生的中断程序。该功能通过置位 CCAPMn 寄存器内的 ECON 和 MAT 位来启动。PCA 定时器会和模块的捕捉寄存器进行比较 (CCAPnL 和 CCAPnH), 如果相匹配中断就发生, 前提是 CCFn (CCON 特殊功能寄存器) 和 ECCFn (CCAPMn 特殊功能寄存器) 位都被置位。

如果需要, 在中断程序里面一个新的 16 位比较值可以装载至 CCAPnH 和 CCAPnL。用户需注意硬件会在这些寄存器更新时暂时禁能比较器功能以避免无效的比较发生。这就要求用户先写低字节 (CCAPnL) 来禁能比较器, 然后写高字节重新启动比较器。如果寄存器被更新, 用户可以通过清除 EA 位来延迟中断 (见图 8-3)。

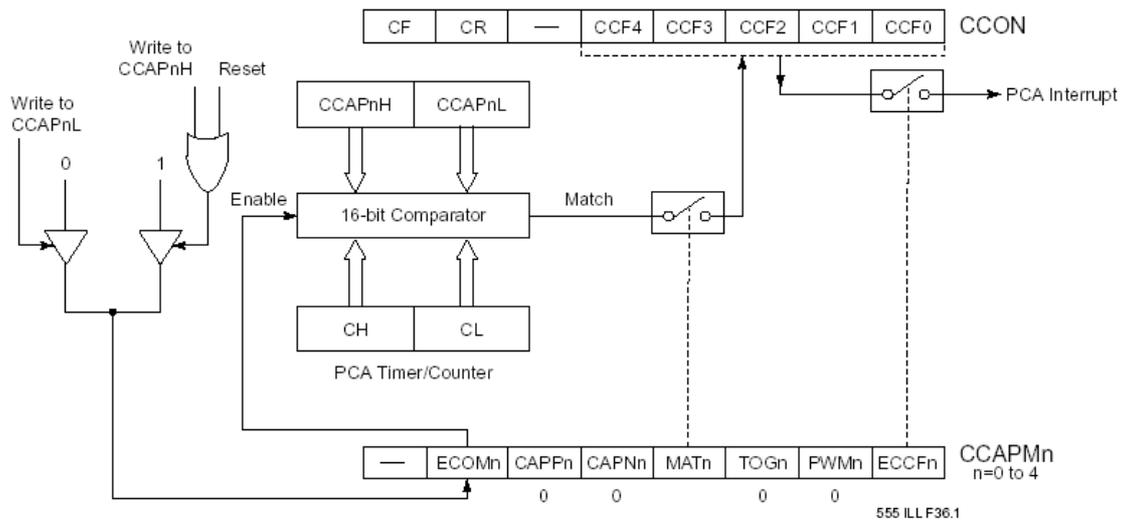


FIGURE 8-3: PCA COMPARE MODE (SOFTWARE TIMER)

8.3.3 高速输出模式

高速输出模式用于在 PCA 定时器和比较器预装载值相同时锁定一个管脚。在该模式下，与 PCA 模块相关联的 CEX 输出脚 (P1 口) 将锁定任何时间发生的 PCA 寄存器 (CH 和 CL) 和捕捉寄存器 (CCAPnH 和 CCAPnL) 的匹配。为了激活该模式，用户必须置位 CCAPMn 特殊功能寄存器内的 TOG, MAT 和 ECOM 位。在锁存发生并在演化成为一个中断前，高速输出模式比锁存脚更为精确。基于此，中断延迟并不会对输出精度造成影响。当使用高速输出时，是否使用中断是可选的。只有在用户需要改变下次锁存时间时才需要更新比较寄存器。否则，当 PCA 定时器溢出并和最后一次比较值相匹配时下一次锁存发生。(见图 8-4)

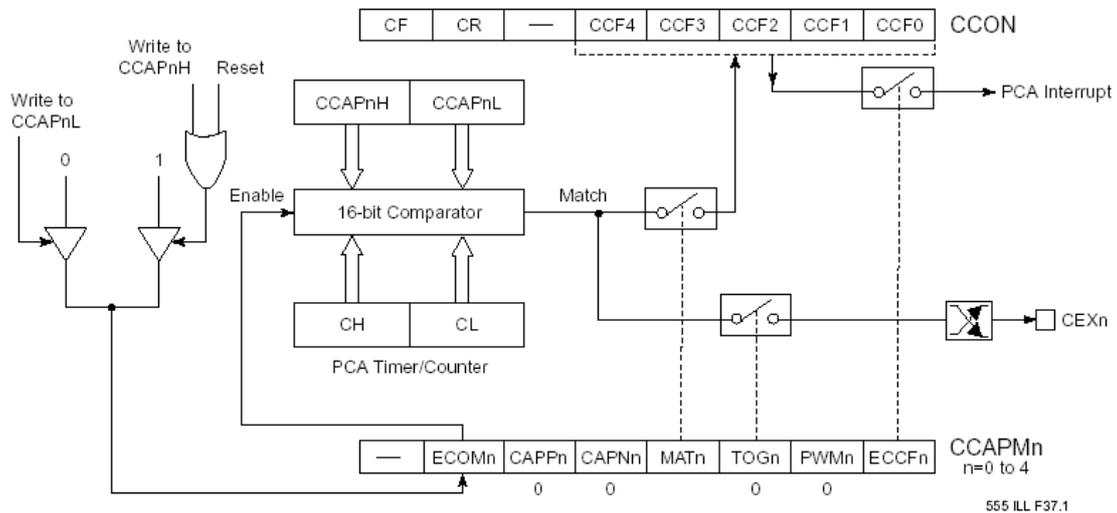


FIGURE 8-4: PCA HIGH SPEED OUTPUT MODE

8.3.4 脉宽调节器

脉宽调节器 (PWM) 模式用于产生 8 位 PWM，通过把 PCA 定时器的低位 (CL) 和比较寄存器的低位字节 (CCAPnL) 比较。当 $CL < CCAPnL$ 时，输出为低。当 $CL \geq CCAPnL$ 时，输出为高。

时，输出为高。为了激活该模式，用户必须设置模块的 CCAPMn 特殊功能寄存器总的 PWM 和 ECOM 位。（见图 8-5 和表格 8-7）

在 PWM 模式下，输出频率取决于 PCA 定时器的时钟源。由于只有一套 CH 和 CL 寄存器，所有的模块共享 PCA 定时器和频率。输出波形的占空比通过高位字节装载的值来控制（CCAPnH）。由于写入 CCAPnH 寄存器是异步的，写入寄存器的高字节不会被移入 CCAPnL 比较，直到输出的下一个周期（当 CL 移出，255 后为 0）。

任何的占空比计算公式如下：

$$CCAPnH = 256 (1 - \text{Duty Cycle})$$

其中 CCAPnH 为 8 位整数，Duty Cycle 为百分数。

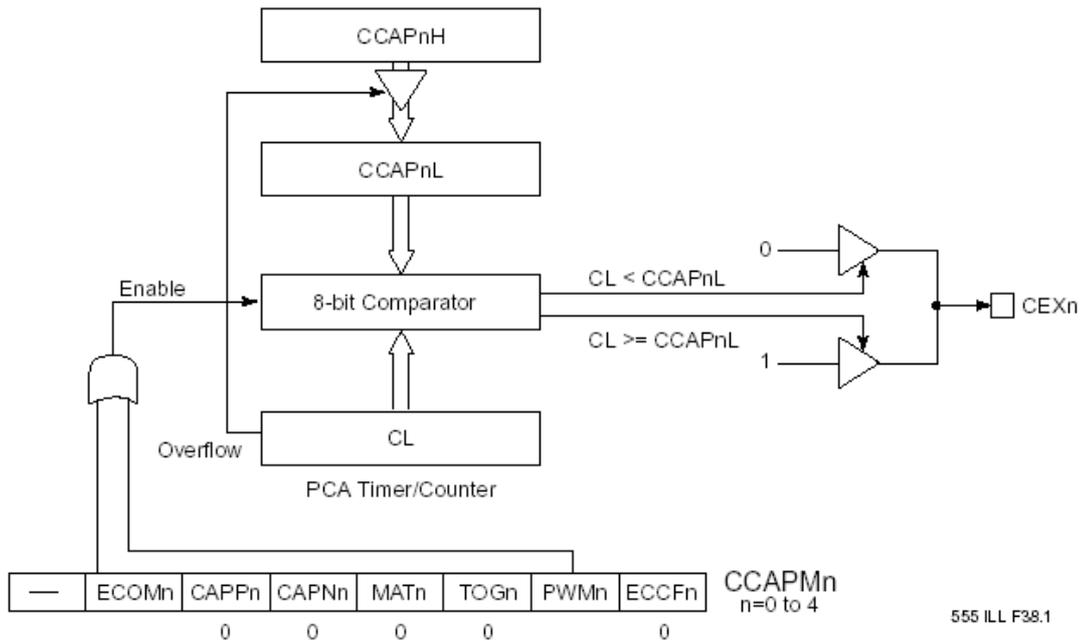


FIGURE 8-5: PCA PULSE WIDTH MODULATOR MODE

TABLE 8-7: PULSE WIDTH MODULATOR FREQUENCIES

PCA Timer Mode	PWM Frequency	
	12 MHz	16 MHz
1/12 Oscillator Frequency	3.9 KHz	5.2 KHz
1/4 Oscillator Frequency	11.8 KHz	15.6 KHz
Timer 0 Overflow:		
8-bit	15.5 Hz	20.3 Hz
16-bit	0.06 Hz	0.08 Hz
8-bit Auto-Reload	3.9 KHz to 15.3 Hz	5.2 KHz to 20.3 Hz
External Input (Max)	5.9 KHz	7.8 KHz

T8-7.0 555

8.3.5 看门狗定时器

看门狗定时器模式用于在不增加芯片计数的情况下提高系统的可靠性（见图 8-6）。定时器对系统很有用，噪音敏感（susceptible to noise），电源波动（power glitches），静电释放。也可以用于防止软件死锁。如果在执行用户的软件的时候出现了死锁，看门狗定时器就会时间到并产生一个内部复位。仅模式 4 能被编程为看门狗定时器。（但是如果不使用看门狗仍能被编程为另外的模式）

使用看门狗定时器，用户先预装载一个 16 位值到比较寄存器。与别的比较模式一样，

16 位值与 PCA 定时值相比较。如果匹配将产生一个内部复位。这将不使 RST 脚拉高。

为了拖延复位，用户有三个选项：

1. 周期性的改变比较值，使得和 PCA 定时器永不匹配。
2. 周期性的改变 PCA 定时器，也样也不会与比较值相匹配。
3. 可以在匹配发生前通过清除 WDTE 位禁能看门狗定时器也可重新启动。

前两个选项更为可靠，因为看门狗定时器不会象选项 3 一样被禁能。如果程序计数器一旦出错，匹配就会立即发生并导致内部复位。如果其他的 PCA 模块在使用的时候第二个选项也不被推荐。记住，PCA 定时器为所有模块的时间基准；改变定时基准一般不被推荐。这样，在大多数应用中，第一种解决方案为最好的方法。

使用如下的代码用于初始化看门狗定时器。模块 4 还可以通过比较模式进行配置，COMD 中断 WDTE 位必须被置位。用户软件必须周期性的改变 (CCAP4H,CCAP4L)，以保持与 PCA 定时器 (CH, CL) 匹配。代码如下：

```
=====
Init_Watchdog:
MOV CCAPM4, #4CH ; Module 4 in compare mode
MOV CCAP4L, #0FFH ; Write to low byte first
MOV CCAP4H, #0FFH ; Before PCA timer counts up
                    ; to FFFF Hex, these compare
                    ; values must be changed.
ORL CMOD, #40H ; Set the WDTE bit to enable the
                    ; watchdog timer without
                    ; changing the other bits in
                    ; CMOD
=====
;Main program goes here, but call WATCHDOG periodically.
=====
WATCHDOG;
    CLR EA ; Hold off interrupts
    MOV CCAP4L, #00 ; Next compare value is within
    MOV CCAP4H, CH ; 255counts of the current PCA
    SETB EA ; timer value
    RET
=====
```

该程序不能为中断服务程序的一部分。如果程序计数器出错，进入死循环，中断仍被处理看门狗仍进行复位。这样看门狗的目的就出错。作为代替，从主程序的 PCA 定时器段调用该子程序。

9.0 安全锁 (security lock)

安全锁防止软件被侵权并阻止 FLASH 内容被不被授权的第三方读取。同时也防止对内部 FLASH 的意外擦除或编程导致的代码错误。器件安全锁系统包括两种不同的方法：硬件锁和软件锁。

9.1 硬件锁

当硬件锁有效时，在未锁或或软件加锁的程序地址空间执行的 MOVC 或 IAP 指令将不能读取经硬件加锁的存储块内的代码字节 (见表格 9-2)。硬件加锁可以锁定全部 FLASH 存

存储器也可以只锁定 8K 字节的 FLASH 存储块（块 1）。如果芯片经过硬件加锁，除了芯片擦除外的所有外主和 IAP 命令都将被忽略。

9.2 软件锁

软件锁允许 FLASH 内容在安全的环境下被改变。该锁的选项可以让用户通过在应用可编程模式在预先设定的安全环境下对经软件加锁的存储器块内的程序进行更新。举例如下：如果块 1（8K）存储器被加锁（硬件加锁或软件加锁），而块 0（64K，SST89E/V564RD）存储器被软件加锁，存在块 1 内的代码可以对块 0 编程，块擦除，扇区擦除，字节编程和字节校验这些 IAP 命令可以通过邮箱寄存器，SFCM，在一个被加锁的块（硬件加锁或软件加锁），对一个经软件加锁的块进行操作。

在外主模式，软件锁和硬件锁操作相同。

9.3 安全锁（SECURITY LOCK）状态

指示芯片安全锁状态的三个位定位在 SFST[7:5]。如图 9-1 和表 9-1 所示，这三个安全锁位控制了主块和次块存储器的加锁状态。有四个不同的安全锁等级。第一等级，无安全加锁位被编程，两个块均未被锁定。第二等级，尽管两个块都被锁定并不能被编程，但可以通过字节校验进行读操作。第三等级，有三个不同的情况：块 1 硬件加锁/块 0 软件加锁，两个块都为软件加锁，两个块都为硬件加锁。对所有块加锁和第二等级相同，**块 1 除了读操作外无效**。第四等级为最高等级，该等级下不允许读/编程内部的存储器或从外部存储器启动。关于如何编程安全加锁位请参见外主模式和 IAP 编程章节。

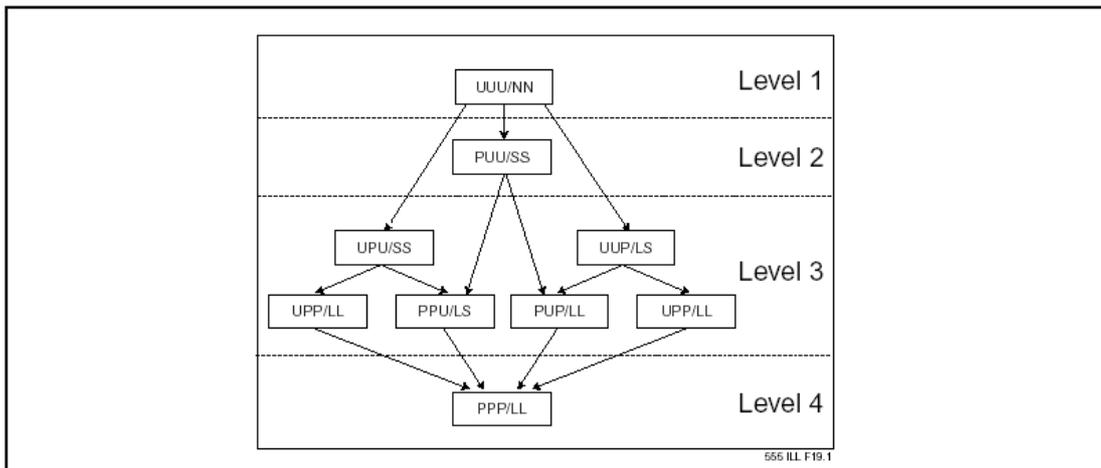


FIGURE 9-1: SECURITY LOCK LEVELS

Note: P = Programmed (Cell logic state = 0), U = Unprogrammed (Cell logic state = 1), N = Not Locked, L = hard locked, S = soft locked

TABLE 9-1: SECURITY LOCK OPTIONS

Level	Security Lock Bits ^{1,2}				Security Status of:		Security Type
	SFST[7:5]	SB1	SB2 ¹	SB3 ¹	Block 1	Block 0	
1	000	U	U	U	Unlock	Unlock	No Security Features are Enabled.
2	100	P	U	U	SoftLock	SoftLock	MOVC instructions executed from external program memory are disabled from fetching code bytes from internal memory, EA# is sampled and latched on Reset, and further programming of the flash is disabled.
3	011	U	P	P	Hard Lock	Hard Lock	Level 2 plus Verify disabled, both blocks locked.
	101	P	U	P			
	010	U	P	U	SoftLock	SoftLock	Level 2 plus Verify disabled. Code in Block 1 may program Block 0 and vice versa.
4	110	P	P	U	Hard Lock	SoftLock	Level 2 plus Verify disabled. Code in Block 1 may program Block 0.
	001	U	U	P			
4	111	P	P	P	Hard Lock	Hard Lock	Same as Level 3 hard lock/hard lock, but MCU will start code execution from the internal memory regardless of EA#.

T9-1.1 555

1. P = Programmed (Cell logic state = 0), U = Unprogrammed (Cell logic state = 1).
2. SFST[7:5] = Security Lock Decoding Bits (SB1, SB2, SB3)

9.4 加锁状态下的读操作

在读命令被安全加锁操作禁止时，安全位 SB1,SB2,SB3 的状态可以读取。如下为读取这些状态的方法：

- 1， 外主模式：读回值（Read-back）=00H（已加锁）
- 2， IAP 命令：读回值=当前 SFDT 的数据
- 3， MOVC：读回值=FFH（空）

TABLE 9-2: SECURITY LOCK ACCESS TABLE

Level	SFST[7:5]	Source Address ¹	Target Address ²	Byte-Verify Allowed		MOVC Allowed			
				External Host ³	IAP	564RD	554RC		
4	111b (hard lock on both blocks)	Block 0/1	Block 0/1	N	N	Y	Y		
			External	N/A	N/A	N	Y		
		External	Block 0/1	N	N	N	N		
			External	N/A	N/A	N	Y		
3	011b/101b (hard lock on both blocks)	Block 0/1	Block 0/1	N	N	Y	Y		
			External	N/A	N/A	N	Y		
		External	Block 0/1	N	N	N	N		
			External	N/A	N/A	Y	Y		
		001b/110b (Block 0 = SoftLock, Block 1 = hard lock)	Block 0	Block 0	N	N	Y	Y	
				Block 1	N	N	N	N	
	External			N/A	N/A	N	Y		
	Block 1		Block 0	N	Y	Y	Y		
			Block 1	N	N	Y	Y		
			External	N/A	N/A	N	Y		
	External	Block 0/1	N	N	N	N			
		External	N/A	N/A	Y	Y			
		010b (SoftLock on both blocks)	Block 0	Block 0	N	N	Y	Y	
				Block 1	N	Y	Y	Y	
				External	N/A	N/A	N	Y	
			Block 1	Block 0	N	Y	Y	Y	
	Block 1			N	N	Y	Y		
	External			N/A	N/A	N	Y		
	External	Block 0/1	N	N	N	N			
		External	N/A	N/A	Y	Y			
		2	100b (SoftLock on both blocks)	Block 0	Block 0	Y	N	Y	Y
					Block 1	Y	Y	Y	Y
					External	N/A	N/A	N	Y
				Block 1	Block 0	Y	Y	Y	Y
Block 1	Y				N	Y	Y		
External	N/A				N/A	N	Y		
External	Block 0/1	Y	N	N	N				
	External	N/A	N/A	Y	Y				
	1	000b (unlock)	Block 0	Block 0	Y	N	Y	Y	
				Block 1	Y	Y	Y	Y	
				External	N/A	N/A	N	Y	
			Block 1	Block 0	Y	Y	Y	Y	
Block 1				Y	N	Y	Y		
External				N/A	N/A	N	Y		
External	Block 0/1	Y	Y	N	Y				
	External	N/A	N/A	Y	Y				

T9-2.1 555

1. Location of MOVC or IAP instruction
2. Target address is the location of the byte being read
3. External host Byte-Verify access does not depend on a source address.

10.0 复位

系统复位用来初始化 MCU，同时从程序存储器的 0000H 地址开始执行程序。芯片的复位输入为 RST 脚。为了复位芯片，加在 RST 复位脚上的逻辑高电平应至少持续两个机器周

期（24 个时钟周期）（在振荡器稳定后）。在复位期间 ALE，PSEN#脚为弱上拉。在复位期间，ALE 和 PSEN#输出一个高电平用于执行一个合适的复位。该电平不能被外部因素影响。在芯片运行期间的系统复位不会影响 1K 字节的片内 RAM 的内容。无论如何，在上电复位时片内的 RAM 的值是不确定的。在复位后，所有的特殊功能寄存器的值返回到它们的复位值，详见表格 3-7 到表格 3-11。

10.1 上电复位

在刚开始上电时，各端口在振荡器启动前会处于一个随机的状态，内部复位运算规则把所有引脚进行弱上拉。在没有有效的复位下的上电将导致 MCU 从一个不确定的地址执行指令。这样的不确定状态会导致 FLASH 内的代码被破坏。

在器件上电时，RST 脚应保持足够的高电平以让振荡器启动（对一个低频率的晶振通常为几个毫秒），作为对有效复位需要的两个机器周期的补充。扩展 RST 信号的一个方法是通过一个 RC 电路，把 RST 脚通过一个 10uF 的电容器接到 VDD 上，并通过一个 8.2K 的电阻接地。如图 10-1 所示。当采用 RC 电路后，应保证 VDD 上升时间不超过 1 毫秒，振荡器启动时间不超过 10 毫秒。

对于一个缓慢启动的低频率振荡器复位信号一定得进行扩展以计算启动时间。该方法在 VDD 和 RST 之间保持一个需要的合理的关系以避免由于在一个不确定的地址上编程而导致的代码错误。上电检测设计用于检测在上电初期，在电压达到 BROWN-OUT 的检测。PCON 内的 POF 标志用于指示初始上电的状态。POF 标志位在软件清除之前一直保持有效。请参见 3.5 章，PCON 寄存器的注解。

更多的系统级的设计技巧请参见应用笔记—SST FlashFlex51 家族控制器设计需考虑事项。

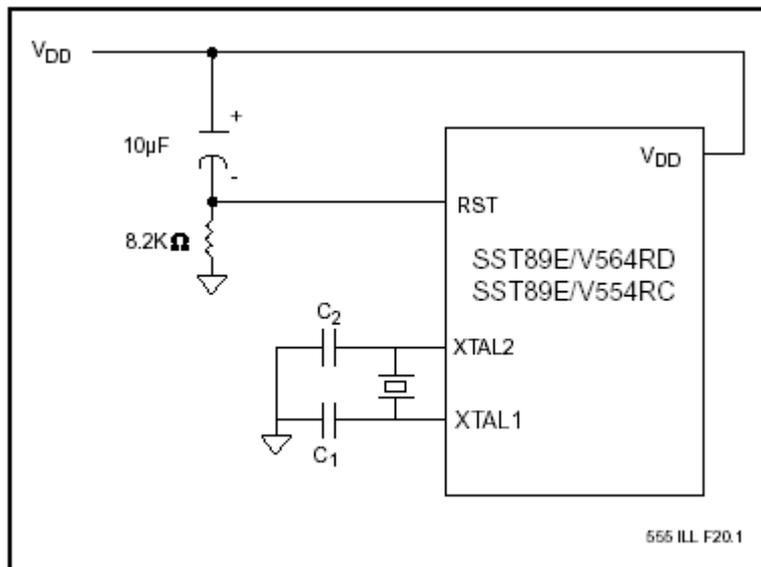


FIGURE 10-1: POWER-ON RESET CIRCUIT

10.2 软件复位

对 SFCF[1] (SWR) 执行“0”到“1”操作将进行软件复位。软件复位将使程序计数器重指向 0000H。除了 SFCF[1] (SWR)，WDTC[2] (WDTS) 其他所有的 SFR 寄存器将复位至复位值，同时 RAM 数据不会被改变。

10.3 掉电 (Brown-out) 检测复位

芯片包含一个掉电检测电路用于保护系统免受严重的电源波动。SST89E564 的内部掉电检测的极限值是 3.85V，SST89V564 的掉电检测的极限值是 2.35V。掉电电压参数请参见

表格 13—6 和 13—7。

当 VDD 掉至极限电压之下时掉电检测器将触发，产生一个掉电中断但 CPU 在供电电压恢复至掉电检测电压 VBOD 之前仍将运行。默认的掉电检测操作是引发一个处理器复位。

VDD 需保持低于 VBOD 至少四个振荡器时钟周期，掉电检测电路才作出响应。

掉电中断可以通过置位 IEA（地址 E8H，位 3）寄存器的 EBO 位使能。如果 EBO 位被置位，同时掉电状况发生，将会产生一个掉电中断从地址 004BH 开始执行程序。当掉电中断程序执行完后要求软件清 EBO 位。在掉电条件有效的情况下清 EBO 位将适当地复位器件。

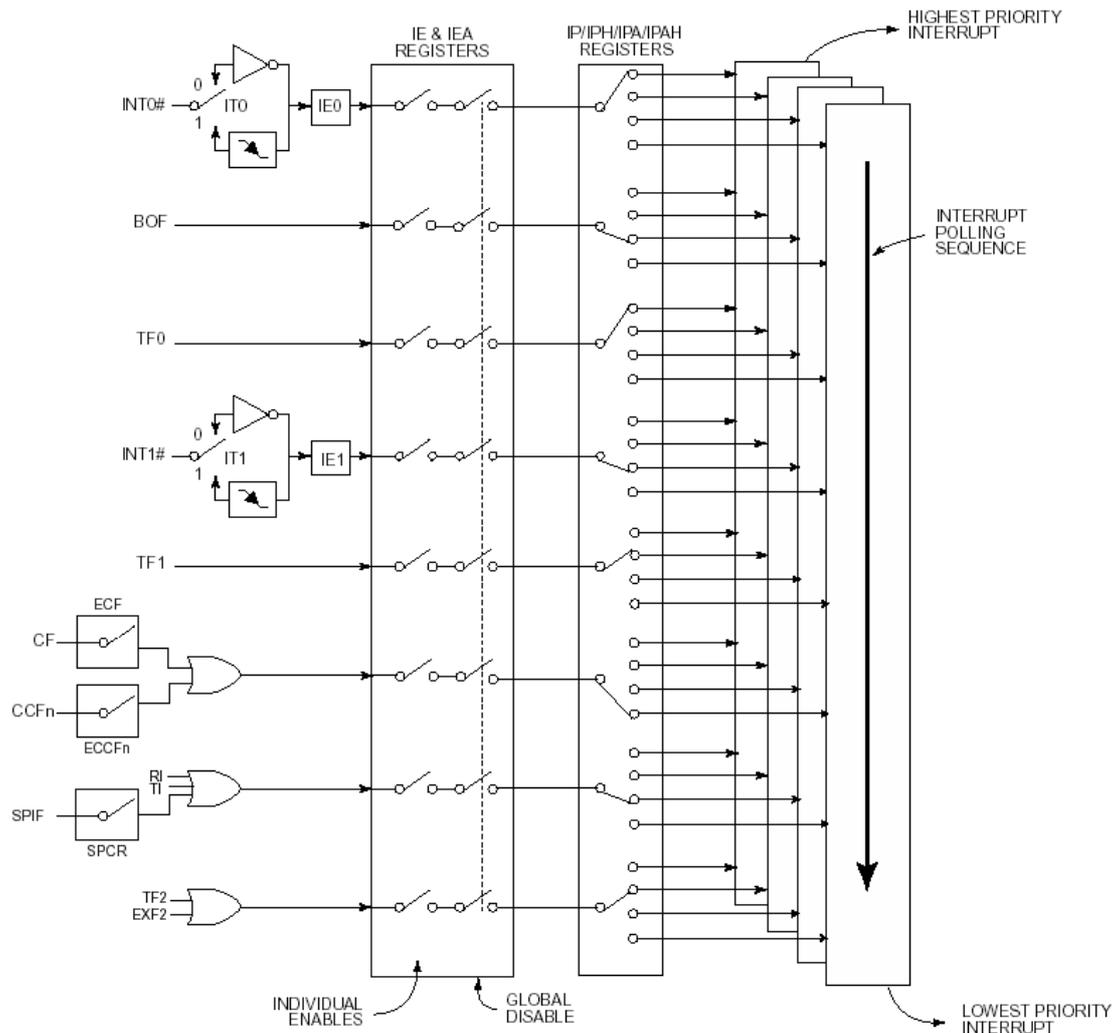
如果掉电中断没有使能，则当掉电状态出现时将复位程序至 0000H 开始执行。

10.4 中断优先级和轮转顺序

器件支持八个中断源四个优先级，表格 10—1 概述了中断轮转时序。注意，SPI 和 UART 共享同一个中断向量。（见图 10—2）

TABLE 10-1: INTERRUPT POLLING SEQUENCE

Description	Interrupt Flag	Vector Address	Interrupt Enable	Interrupt Priority	Arbitration Ranking	Wake-Up Power-down
Ext. Int0	IE0	0003H	EX0	PX0/H	1(highest)	yes
Brown-out	BOF	004BH	EBO	PBO/H	2	no
T0	TF0	000BH	ET0	PT0/H	3	no
Ext. Int1	IE1	0013H	EX1	PX1/H	4	yes
T1	TF1	001BH	ET1	PT1/H	5	no
PCA	CF/CCFn	0033H	EC	PPCH	6	no
UART/SPI	TI/RI/SPIF	0023H	ES	PS/H	7	no
T2	TF2, EXF2	002BH	ET2	PT2/H	8	no



555 ILL F42.1

FIGURE 10-2: INTERRUPT STRUCTURE

11.0 节电模式

芯片为在恶劣供电条件下的应用提供两种节电模式。两种模式分别为空闲模式和下电模式，见表格 11-1。

11.1 空闲模式

当 PCON 寄存器的 IDL 位被置位时就进入空闲模式。在空闲模式下，程序计数器 (PC) 停止。系统时钟继续运行，所有中断和外围保持就绪。在此模式下片内 RAM 和特殊功能寄存器内的值保持不变。

通过系统中断或硬件复位芯片退出休眠模式。通过系统中断退出休眠模式，中断发生后清 IDL 位，并退出休眠模式。在中断处理子程序完成后，程序从调用休眠模式后的地址

开始继续执行。通过硬件复位启动芯片的方式类似于上电复位。

11.2 下电模式

通过置位 PCON 内的 PD 位可以进入下电模式。在下电模式下，时钟停止，外部中断中只有电平敏感的中断有效。在下电模式，SRAM 的内容保持不变，最低的 VDD 电平为 2.0V。

在出现使能的外部电平敏感的中断或硬件复位时芯片退出下电模式。中断产生时清除 PD 位并退出下电模式。保持外部中断脚为低可以重新启动振荡器，但该信号必须保持为低 1024 个时钟周期才能使芯片退出下电模式。在中断处理子程序完成后，程序从调用休闲模式后的地址开始继续执行。通过硬件复位启动芯片的方式类似于上电复位。

为了适当的退出下电模式，复位或外部中断在 VDD 上升到标准的操作电压前不能被执行。VDD 电压恢复至正常操作电压后应保持足够的时间以让有足够的时间重启并保持稳定。

(通常该值小于 10ms)

TABLE 11-1: POWER SAVING MODES

Mode	Initiated by	State of MCU	Exited by
Idle Mode	Software (Set IDL bit in PCON) MOV PCON, #01H;	CLK is running. Interrupts, serial port and timers/counters are active. Program Counter is stopped. ALE and PSEN# signals at a HIGH level during Idle. All registers remain unchanged.	Enabled interrupt or hardware reset. Start of interrupt clears IDL bit and exits idle mode, after the ISR RETI instruction, program resumes execution beginning at the instruction following the one that invoked idle mode. A user could consider placing two or three NOP instructions after the instruction that invokes idle mode to eliminate any problems. A hardware reset restarts the device similar to a power-on reset.
Power-down Mode	Software (Set PD bit in PCON) MOV PCON, #02H;	CLK is stopped. On-chip SRAM and SFR data is maintained. ALE and PSEN# signals at a LOW level during power-down. External Interrupts are only active for level sensitive interrupts, if enabled.	Enabled external level sensitive interrupt or hardware reset. Start of interrupt clears PD bit and exits power-down mode, after the ISR RETI instruction program resumes execution beginning at the instruction following the one that invoked power-down mode. A user could consider placing two or three NOP instructions after the instruction that invokes power-down mode to eliminate any problems. A hardware reset restarts the device similar to a power-on reset.

T11-1.1 555

12.0 系统时钟和时钟选项

12.1 时钟输入选项和及振荡器的起振电容的推荐值

图 12—1 所示为片内倒向放大器的输入输出 (XTAL1, XTAL2)，并能被配置成为片内振荡器。

当芯片被外部时钟源驱动时 XTAL2 应悬空，XTAL1 应接至该时钟源。

在启动时，外部振荡器可能会在 XTAL1 上遭遇高容性负载，这取决于放大器和反馈电容之间的相互作用。无论如何，一旦外部信号到达 VIL 和 VIH 的规格时电容值不能超过 15pF。

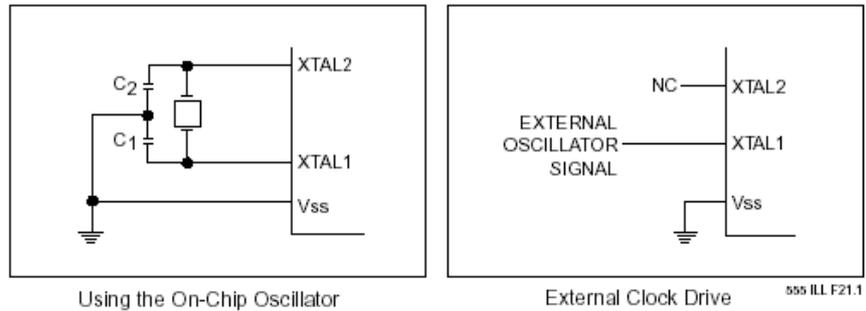
晶振生产厂家，供电电压和其他的因素有可能导致电路在不通的应用中表现出不同的指标。在每个设计中 C1 和 C2 都需要进行合理的调节。表格 12—1 例举了在不同的晶振类型和频率下典型的 C1 和 C2 的值。

更多更详尽的关于片内振荡器的设计信息可以在“FLASHFLEX51 振荡器电路设计应用”笔记中查找。

TABLE 12-1: RECOMMENDED VALUES FOR C1 AND C2 BY CRYSTAL TYPE

Crystal	C1 = C2
Quartz	20-30pF
Ceramic	40-50pF

T12-1.1 555



555 ILL F21.1

FIGURE 12-1: OSCILLATOR CHARACTERISTICS

TABLE 12-2: CLOCK DOUBLING FEATURES

Device	Standard Mode (x1)		Clock Double Mode (x2)	
	Clocks per Machine Cycle	Max. External Clock Frequency (MHz)	Clocks per Machine Cycle	Max. External Clock Frequency (MHz)
SST89E564RD/554RC	12	40	6	20
SST89V564RD/554RC	12	33	6	16

T12-2.3 555

12.2 时钟加倍选项

默认情况下，芯片工作在 12 个时钟周期为一机器周期的模式下（×1 模式）。该芯片有一个使时钟加倍的选项用于使其工作在 6 时钟为一机器周期的模式下。详情参见表格 12-2。

时钟加倍模式可以通过外主模式或 IAP 模式使能。外主模式使能命令请参见表格 4-1 和 4-2，IAP 模式使能命令请参见表格 4-6 和 4-7（一旦设置，SFST 寄存器内的 EDC 位将使能 6 时钟模式）。

时钟加倍模式只限于加倍内部系统时钟和内部 FLASH 存储器，也就是 EA#=1。存取外部存储器和外围器件时应十分小心。同时应注意晶振输出（XTAL2）并不被加倍。

13.0 电气规范

绝对最大等级:

Absolute Maximum Stress Ratings (Applied conditions greater than those listed under "Absolute Maximum Stress Ratings" may cause permanent damage to the device. This is a stress rating only and functional operation of the device at these conditions or conditions greater than those defined in the operational sections of this data sheet is not implied. Exposure to absolute maximum stress rating conditions may affect device reliability.)

Ambient Temperature Under Bias	-55°C to +125°C
Storage Temperature	-65°C to +150°C
Voltage on EA# Pin to V _{SS}	-0.5V to +14.0V
Transient Voltage (<20ns) on Any Other Pin to V _{SS}	-1.0V to +6.5V
Maximum I _{OL} per I/O Pins P1.5, P1.6, P1.7	20mA
Maximum I _{OL} per I/O for All Other Pins	15mA
Package Power Dissipation Capability (T _a = 25°C)	1.5W
Through Hole Lead Soldering Temperature (10 Seconds)	300°C
Surface Mount Lead Soldering Temperature (3 Seconds)	240°C
Output Short Circuit Current ¹	50 mA

1. Outputs shorted for no more than one second. No more than one output shorted at a time.
(Based on package heat transfer limitations, not device power consumption.)

Note: This specification contains preliminary information on new products in production.
The specifications are subject to change without notice.

TABLE 13-1: OPERATING RANGE

Symbol	Description	Min.	Max	Unit
T _a	Ambient Temperature Under Bias			
	Standard	0	+70	°C
	Industrial	-40	+85	°C
V _{DD}	Supply Voltage			
	SST89E564RD / SST89E554RC	4.5	5.5	V
	SST89V564RD / SST89V554RC	2.7	3.6	V
f _{osc}	Oscillator Frequency	0	40	MHz
	For in-application programming	0.25	40	MHz

T13-1.0 555

TABLE 13-2: RELIABILITY CHARACTERISTICS

Symbol	Parameter	Minimum Specification	Units	Test Method
N _{END} ¹	Endurance	10,000	Cycles	JEDEC Standard A117
T _{DR} ¹	Data Retention	100	Years	JEDEC Standard A103
I _{LTH} ¹	Latch Up	100 + I _{DD}	mA	JEDEC Standard 78

T13-2.0 555

1. This parameter is measured only for initial qualification and after a design or process change that could affect this parameter.

TABLE 13-3: AC CONDITIONS OF TEST

Input Rise/Fall Time	10 ns
Output Load	C _L = 100 pF
See Figures 13-8 and 13-10	

T13-3.0 555

TABLE 13-4: RECOMMENDED SYSTEM POWER-UP TIMINGS

Symbol	Parameter	Minimum	Units
T _{PU-READ} ¹	Power-up to Read Operation	100	μs
T _{PU-WRITE} ¹	Power-up to Write Operation	100	μs

T13-4.2 555

1. This parameter is measured only for initial qualification and after a design or process change that could affect this parameter

TABLE 13-5: PIN IMPEDANCE ($V_{DD}=3.3V$, $T_a=25^\circ C$, $f=1\text{ Mhz}$, other pins open)

Parameter	Description	Test Condition	Maximum
$C_{I/O}^1$	I/O Pin Capacitance	$V_{I/O} = 0V$	15 pF
C_{IN}^1	Input Capacitance	$V_{IN} = 0V$	12 pF
L_{PIN}^2	Pin Inductance		20 nH

T13-5.4 555

1. This parameter is measured only for initial qualification and after a design or process change that could affect this parameter.
2. Refer to PCI spec.

13.1 直流电气特性

TABLE 13-6: DC ELECTRICAL CHARACTERISTICS FOR SST89E564RD AND SST89E554RC
 $T_a = -40^\circ C$ TO $+85^\circ C$; $V_{DD} = 4.5\text{-}5.5V$; $V_{SS} = 0V$

Symbol	Parameter	Test Conditions	Min	Max	Units
V_{IL}	Input Low Voltage	$4.5 < V_{DD} < 5.5$	-0.5	$0.2V_{DD} - 0.1$	V
V_{IH}	Input High Voltage	$4.5 < V_{DD} < 5.5$	$0.2V_{DD} + 0.9$	$V_{DD} + 0.5$	V
V_{IH1}	Input High Voltage (XTAL1, RST)	$4.5 < V_{DD} < 5.5$	$0.7V_{DD}$	$V_{DD} + 0.5$	V
V_{OL}	Output Low Voltage (Ports 1.5, 1.6, 1.7)	$V_{DD} = 4.5V$ $I_{OL} = 16mA$		1.0	V
V_{OL}	Output Low Voltage (Ports 1, 2, 3) ¹	$V_{DD} = 4.5V$ $I_{OL} = 100\mu A^2$ $I_{OL} = 1.6mA^2$ $I_{OL} = 3.5mA^2$		0.3 0.45 1.0	V V V
V_{OL1}	Output Low Voltage (Port 0, ALE, PSEN#) ^{1,3}	$V_{DD} = 4.5V$ $I_{OL} = 200\mu A^2$ $I_{OL} = 3.2mA^2$		0.3 0.45	V V
V_{OH}	Output High Voltage (Ports 1, 2, 3, ALE, PSEN#) ⁴	$V_{DD} = 4.5V$ $I_{OH} = -10\mu A$ $I_{OH} = -30\mu A$ $I_{OH} = -60\mu A$	$V_{DD} - 0.3$ $V_{DD} - 0.7$ $V_{DD} - 1.5$		V V V
V_{OH1}	Output High Voltage (Port 0 in External Bus Mode) ⁴	$V_{DD} = 4.5V$ $I_{OH} = -200\mu A$ $I_{OH} = -3.2mA$	$V_{DD} - 0.3$ $V_{DD} - 0.7$		V V
V_{BOD}	Brown-out Detection Voltage		3.85	4.15	V
I_{IL}	Logical 0 Input Current (Ports 1, 2, 3)	$V_{IN} = 0.4V$	-1	-75	μA
I_{TL}	Logical 1-to-0 Transition Current (Ports 1, 2, 3) ⁵	$V_{IN} = 2V$		-650	μA
I_{LJ}	Input Leakage Current (Port 0)	$0.45 < V_{IN} < V_{DD} - 0.3$		± 10	μA
R_{RST}	RST Pull-down Resistor		40	225	k Ω
C_{IO}	Pin Capacitance ⁶	@ 1 MHz, 25 $^\circ C$		15	pF
I_{DD}	Power Supply Current				
	IAP Mode				
	@ 12 MHz			70	mA
	@ 40 MHz			88	mA
	Active Mode				
	@ 12 MHz			23	mA
	@ 40 MHz			50	mA
	Idle Mode				
	@ 12 MHz			20	mA
	@ 40 MHz			42	mA
	Power-down Mode (min. $V_{DD} = 2V$)	$T_a = 0^\circ C$ to $+70^\circ C$ $T_a = -40^\circ C$ to $+85^\circ C$		80 90	μA μA

T13-6.3 555

TABLE 13-7: DC ELECTRICAL CHARACTERISTICS FOR SST89V564RD AND SST89V554RC
 $T_a = -40^\circ C$ TO $+85^\circ C$; $V_{DD} = 2.7\text{-}3.6V$; $V_{SS} = 0V$

Symbol	Parameter	Test Conditions	Min	Max	Units
V _{IL}	Input Low Voltage	2.7 < V _{DD} < 3.6	-0.5	0.7	V
V _{IH}	Input High Voltage	2.7 < V _{DD} < 3.6	0.2V _{DD} + 0.9	V _{DD} + 0.5	V
V _{IH1}	Input High Voltage (XTAL1, RST)	2.7 < V _{DD} < 3.6	0.7V _{DD}	V _{DD} + 0.5	V
V _{OL}	Output Low Voltage (Ports 1.5, 1.6, 1.7)	V _{DD} = 2.7V I _{OL} = 16mA		1.0	V
V _{OL}	Output Low Voltage (Ports 1, 2, 3) ¹	V _{DD} = 2.7V I _{OL} = 100μA ²		0.3	V
		I _{OL} = 1.6mA ²		0.45	V
		I _{OL} = 3.5mA ²		1.0	V
V _{OL1}	Output Low Voltage (Port 0, ALE, PSEN#) ^{1,3}	V _{DD} = 2.7V I _{OL} = 200μA ²		0.3	V
		I _{OL} = 3.2mA ²		0.45	V
V _{OH}	Output High Voltage (Ports 1, 2, 3, ALE, PSEN#) ⁴	V _{DD} = 2.7V I _{OH} = -10μA	V _{DD} - 0.3		V
		I _{OH} = -30μA	V _{DD} - 0.7		V
		I _{OH} = -60μA	V _{DD} - 1.5		V
V _{OH1}	Output High Voltage (Port 0 in External Bus Mode) ⁴	V _{DD} = 2.7V I _{OH} = -200μA	V _{DD} - 0.3		V
		I _{OH} = -3.2mA	V _{DD} - 0.7		V
V _{BOD}	Brown-out Detection Voltage		2.35	2.55	V
I _{IL}	Logical 0 Input Current (Ports 1, 2, 3)	V _{IN} = 0.4V	-1	-75	μA
I _{TL}	Logical 1-to-0 Transition Current (Ports 1, 2, 3) ⁵	V _{IN} = 2V		-650	μA
I _{IU}	Input Leakage Current (Port 0)	0.45 < V _{IN} < V _{DD} -0.3		±10	μA
R _{RST}	RST Pull-down Resistor			225	KΩ
C _{IO}	Pin Capacitance ⁶	@ 1 MHz, 25°C		15	pF
I _{DD}	Power Supply Current				
	IAP Mode				
	@ 12 MHz			40	mA
	@ 33 MHz			47	mA
	Active Mode				
	@ 12 MHz			11.5	mA
	@ 33 MHz			30	mA
Idle Mode					
@ 12 MHz			8.5	mA	
@ 33 MHz			21	mA	
Power-down Mode (min. V _{DD} = 2V)			45	μA	
		T _a = 0°C to +70°C		55	μA
		T _a = -40°C to +85°C			

T113-7.6 555

1. Under steady state (non-transient) conditions, I_{OL} must be externally limited as follows:

Maximum I_{OL} per port pin: 15mA

Maximum I_{OL} per 8-bit port: 26mA

Maximum I_{OL} total for all outputs: 71mA

If I_{OL} exceeds the test condition, V_{OL} may exceed the related specification. Pins are not guaranteed to sink current greater than the listed test conditions.

2. Capacitive loading on Ports 0 & 2 may cause spurious noise to be superimposed on the V_{OLs} of ALE and Ports 1 & 3. The noise due to external bus capacitance discharging into the Port 0 & 2 pins when the pins make 1-to-0 transitions during bus operations. In the worst cases (capacitive loading > 100pF), the noise pulse on the ALE pin may exceed 0.8V. In such cases, it may be desirable to qualify ALE with a Schmitt Trigger, or use an address latch with a Schmitt Trigger STROBE input.

3. Load capacitance for Port 0, ALE & PSEN# = 100pF, load capacitance for all other outputs = 80pF.

4. Capacitive loading on Ports 0 & 2 may cause the V_{OH} on ALE and PSEN# to momentarily fall below the V_{DD} - 0.7 specification when the address bits are stabilizing.

5. Pins of Ports 1, 2 & 3 source a transition current when they are being externally driven from 1 to 0. The transition current reaches its maximum value when V_{IN} is approximately 2V.

6. Pin capacitance is characterized but not tested. EA# is 25pF (max).

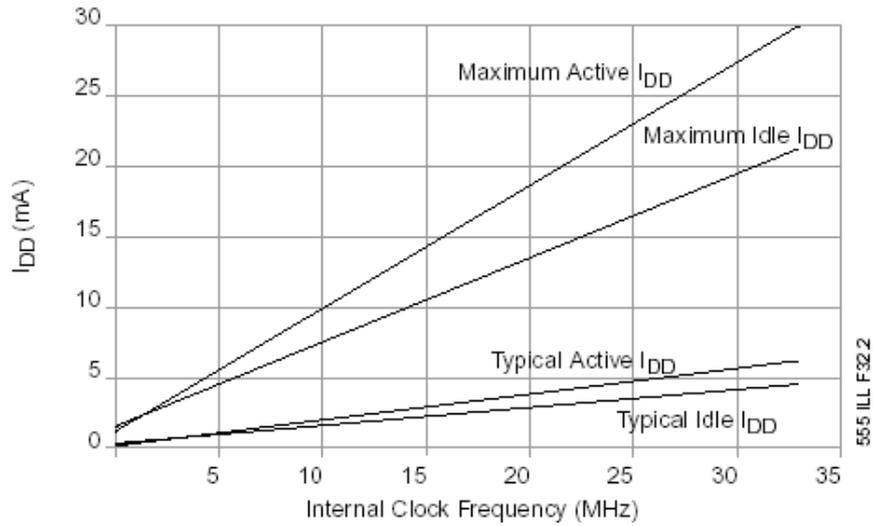


FIGURE 13-1: I_{DD} VS. FREQUENCY (SST89V564RD/SST89V554RC)

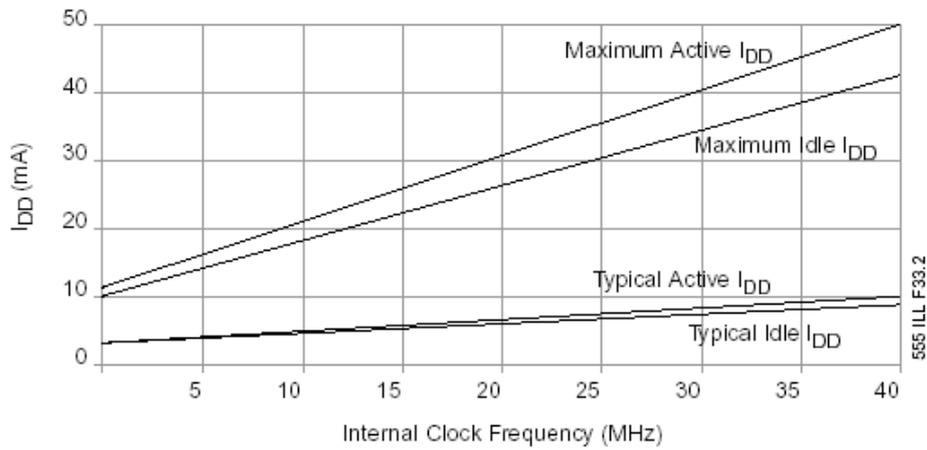


FIGURE 13-2: I_{DD} VS. FREQUENCY (SST89E564RD/SST89E554RC)

13.2 直流电气特性

AC Characteristics: (Over Operating Conditions: Load Capacitance for Port 0, ALE#, and PSEN# = 100pF; Load Capacitance for All Other Outputs = 80pF)

TABLE 13-8: AC ELECTRICAL CHARACTERISTICS (1 OF 2)

$T_a = -40^{\circ}\text{C TO } +85^{\circ}\text{C}, V_{DD} = 2.7\text{-}3.6\text{V}@33\text{MHZ}, 4.5\text{-}5.5\text{V}@40\text{MHZ}, V_{SS} = 0$

Symbol	Parameter	Oscillator						Units
		33MHz		40MHz		Variable		
		Min	Max	Min	Max	Min	Max	
1/T _{CLCL}	Oscillator Frequency					0	40	MHz
T _{LHLL}	ALE Pulse Width	46		35		2T _{CLCL} - 15		ns
T _{AVLL}	Address Valid to ALE Low	5		10		T _{CLCL} - 25 (3V) T _{CLCL} - 15 (5V)		ns ns
T _{LLAX}	Address Hold After ALE Low	5		10		T _{CLCL} - 25 (3V) T _{CLCL} - 15 (5V)		ns ns
T _{LLIV}	ALE Low to Valid Instr In		56		55	4T _{CLCL} - 65 (3V) 4T _{CLCL} - 45 (5V)		ns ns
T _{LLPL}	ALE Low to PSEN# Low	5		10		T _{CLCL} - 25 (3V) T _{CLCL} - 15 (5V)		ns ns
T _{PLPH}	PSEN# Pulse Width	66		60		3T _{CLCL} - 25 (3V) 3T _{CLCL} - 15 (5V)		ns
T _{PLIV}	PSEN# Low to Valid Instr In		35		25	3T _{CLCL} - 55 (3V) 3T _{CLCL} - 50 (5V)		ns ns
T _{PIXI}	Input Instr Hold After PSEN#					0		ns
T _{PIXZ}	Input Instr Float After PSEN#		25		10	T _{CLCL} - 5 (3V) T _{CLCL} - 15 (5V)		ns ns
T _{PXAV}	PSEN# to Address valid	22		17		T _{CLCL} - 8		ns
T _{AMV}	Address to Valid Instr In		72		65	5T _{CLCL} - 80 (3V) 5T _{CLCL} - 60 (5V)		ns ns
T _{PLAZ}	PSEN# Low to Address Float		10		10	10		ns
T _{RLRH}	RD# Pulse Width	142		120		6T _{CLCL} - 40 (3V) 6T _{CLCL} - 30 (5V)		ns
T _{WLWH}	Write Pulse Width (WE#)	142		120		6T _{CLCL} - 40 (3V) 6T _{CLCL} - 30 (5V)		ns
T _{RLDV}	RD# Low to Valid Data In		62		75	5T _{CLCL} - 90 (3V) 5T _{CLCL} - 50 (5V)		ns ns
T _{RHDX}	Data Hold After RD#	0		0		0		ns
T _{RHDZ}	Data Float After RD#		36		38	2T _{CLCL} - 25 (3V) 2T _{CLCL} - 12 (5V)		ns ns
T _{LLDV}	ALE Low to Valid Data In		152		150	8T _{CLCL} - 90 (3V) 8T _{CLCL} - 50 (5V)		ns ns
T _{AVDV}	Address to Valid Data In		183		150	9T _{CLCL} - 90 (3V) 9T _{CLCL} - 75 (5V)		ns ns
T _{LLWL}	ALE Low to RD# or WR# Low	66	116	60	90	3T _{CLCL} - 25 (3V) 3T _{CLCL} - 15 (5V)		ns
T _{AVWL}	Address to RD# or WR# Low	46		70		4T _{CLCL} - 75 (3V) 4T _{CLCL} - 30 (5V)		ns ns
T _{QVWX}	Data Valid to WR# High to Low Transition		0		0	0		ns

TABLE 13-8: AC ELECTRICAL CHARACTERISTICS (CONTINUED) (2 OF 2)

$T_a = -40^{\circ}\text{C TO } +85^{\circ}\text{C}, V_{DD} = 2.7\text{-}3.6\text{V}@33\text{MHZ}, 4.5\text{-}5.5\text{V}@40\text{MHZ}, V_{SS} = 0$

Symbol	Parameter	Oscillator						Units
		33MHz		40MHz		Variable		
		Min	Max	Min	Max	Min	Max	
T _{WHQX}	Data Hold After WR#	3		5		T _{CLCL} - 27 (3V) T _{CLCL} - 20 (5V)		ns ns
T _{QVWH}	Data Valid to WR# High	142		125		7T _{CLCL} - 70 (3V) 7T _{CLCL} - 50 (5V)		ns ns
T _{RLAZ}	RD# Low to Address Float		0		0	0		ns
T _{WHLH}	RD# to WR# High to ALE High	5	55	10	40	T _{CLCL} - 25 (3V) T _{CLCL} - 15 (5V)		ns ns

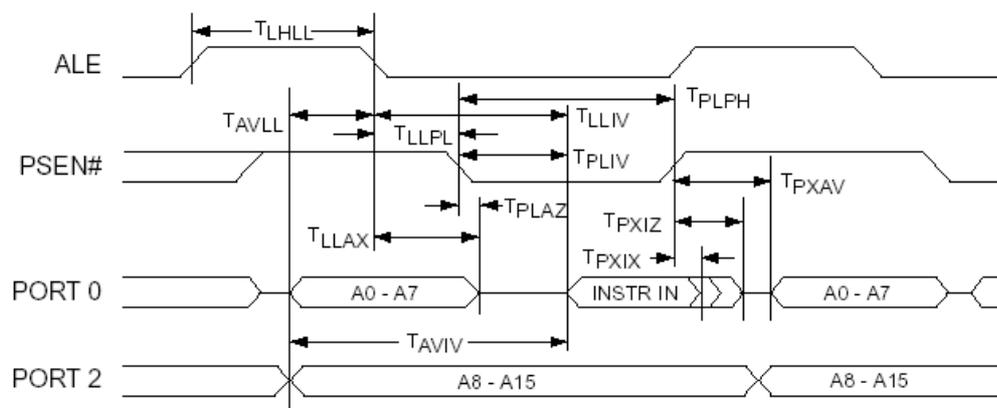
Explanation of Symbols Each timing symbol has 5 characters. The first character is always a 'T' (stands for time). The other characters, depending on their positions, stand for the name of a signal or the logical status of that signal. The following is a list of all the characters and what they stand for.

- | | |
|--|----------------------------------|
| A: Address | Q: Output data |
| C: Clock | R: RD# signal |
| D: Input data | T: Time |
| H: Logic level HIGH | V: Valid |
| I: Instruction (program memory contents) | W: WR# signal |
| L: Logic level LOW or ALE | X: No longer a valid logic level |
| P: PSEN# | Z: High Impedance (Float) |

For example:

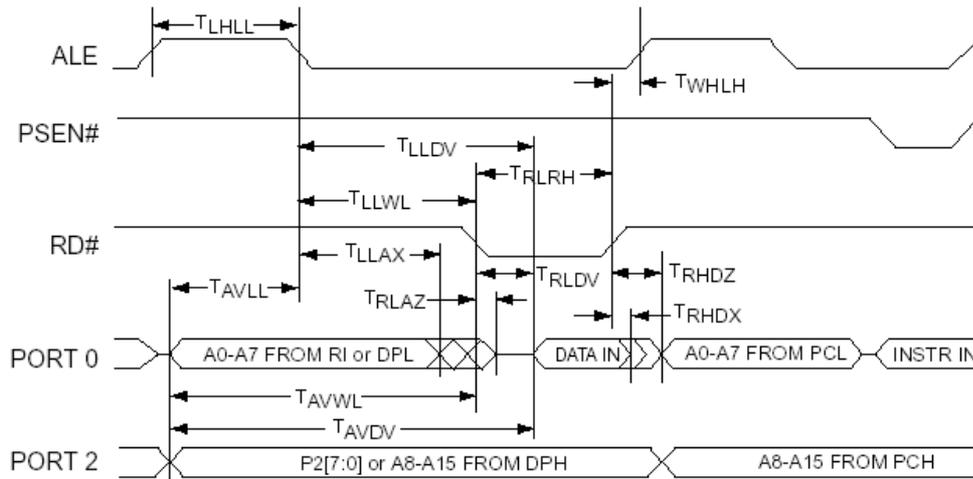
T_{AVLL} = Time from Address Valid to ALE Low

T_{LLPL} = Time from ALE Low to PSEN# Low



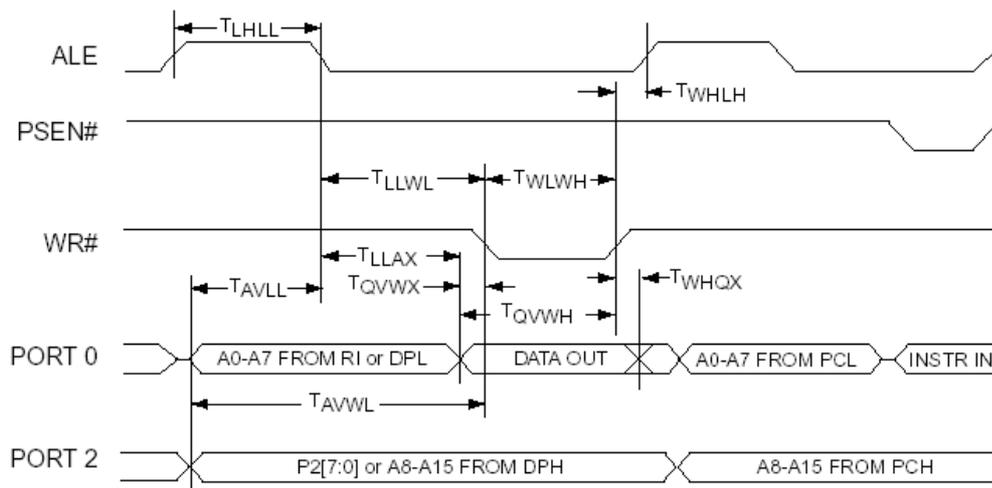
555 ILL F27.2

FIGURE 13-3: EXTERNAL PROGRAM MEMORY READ CYCLE



555 ILL F28.2

FIGURE 13-4: EXTERNAL DATA MEMORY READ CYCLE



555 ILL F29.2

FIGURE 13-5: EXTERNAL DATA MEMORY WRITE CYCLE

TABLE 13-9: EXTERNAL CLOCK DRIVE

Symbol	Parameter	Oscillator						Units
		12MHz		40MHz		Variable		
		Min	Max	Min	Max	Min	Max	
1/T _{CLCL}	Oscillator Frequency					0	40	MHz
T _{CLCL}		83		25				ns
T _{CHCX}	High Time			8.75		0.35T _{CLCL}	0.65T _{CLCL}	ns
T _{CLCX}	Low Time			8.75		0.35T _{CLCL}	0.65T _{CLCL}	ns
T _{CLCH}	Rise Time		20		10			ns
T _{CHCL}	Fall Time		20		10			ns

T13-9.2 555

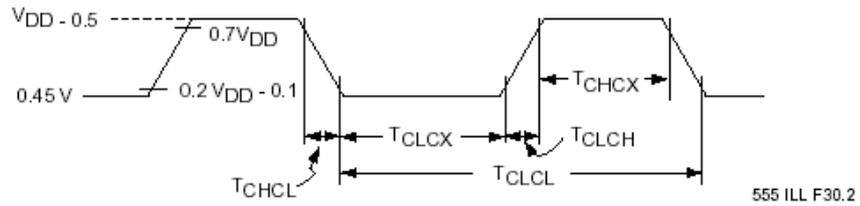
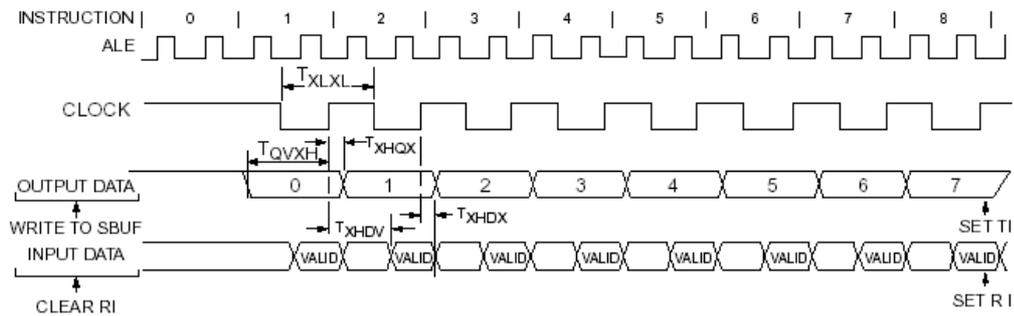


FIGURE 13-6: EXTERNAL CLOCK DRIVE WAVEFORM

TABLE 13-10: SERIAL PORT TIMING

Symbol	Parameter	Oscillator						Units
		12MHz		40MHz		Variable		
		Min	Max	Min	Max	Min	Max	
T_{XLXL}	Serial Port Clock Cycle Time	1.0		0.3		$12T_{CLCL}$		μs
T_{QVXH}	Output Data Setup to Clock Rising Edge	700		117		$10T_{CLCL} - 133$		ns
T_{XHQX}	Output Data Hold After Clock Rising Edge	50		0		$2T_{CLCL} - 117$ $2T_{CLCL} - 50$		ns
T_{XHDX}	Input Data Hold After Clock Rising Edge	0		0		0		ns
T_{XHdV}	Clock Rising Edge to Input Data Valid		700		117		$10T_{CLCL} - 133$	ns

T13-10.2 555



555 ILL F31.1

FIGURE 13-7: SHIFT REGISTER MODE TIMING WAVEFORMS

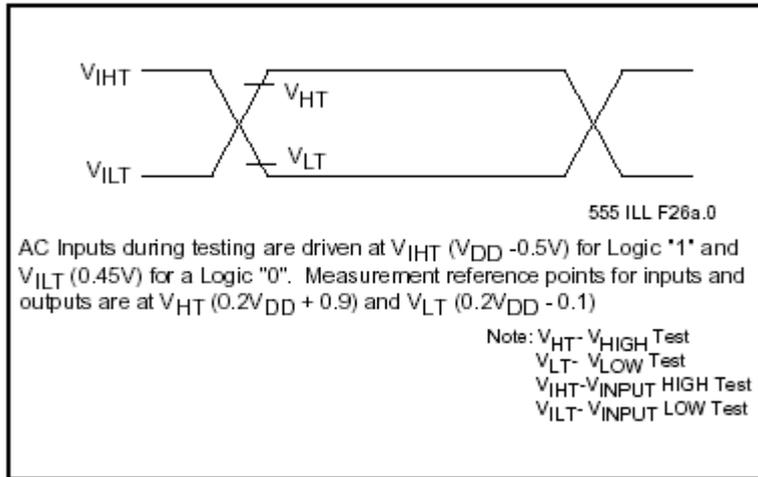


FIGURE 13-8: AC TESTING INPUT/OUTPUT TEST WAVEFORM

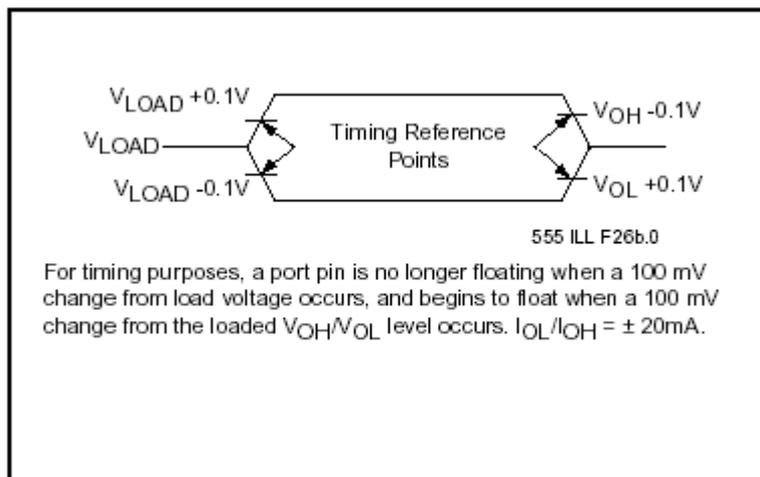


FIGURE 13-9: FLOAT WAVEFORM

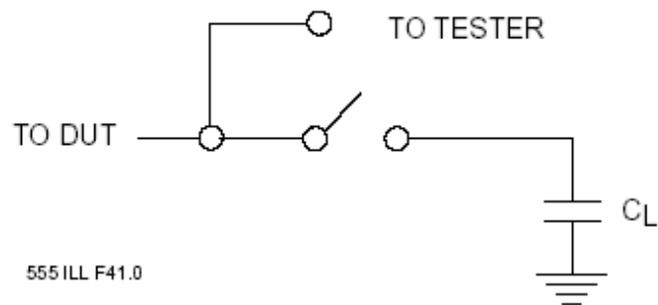


FIGURE 13-10: A TEST LOAD EXAMPLE

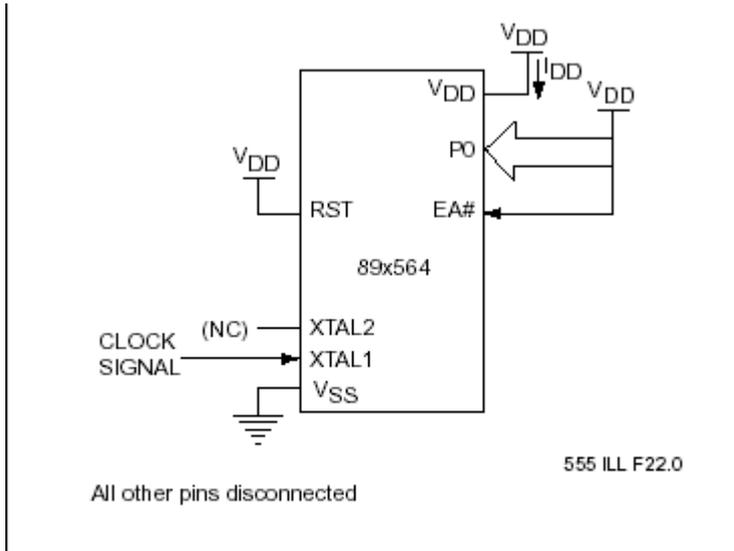


FIGURE 13-11: I_{DD} TEST CONDITION, ACTIVE MODE

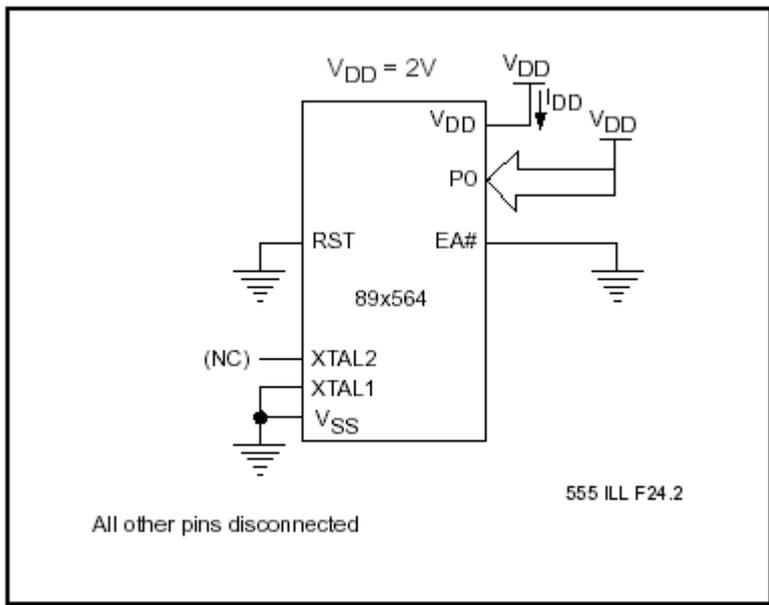


FIGURE 13-13: I_{DD} TEST CONDITION, POWER-DOWN MODE

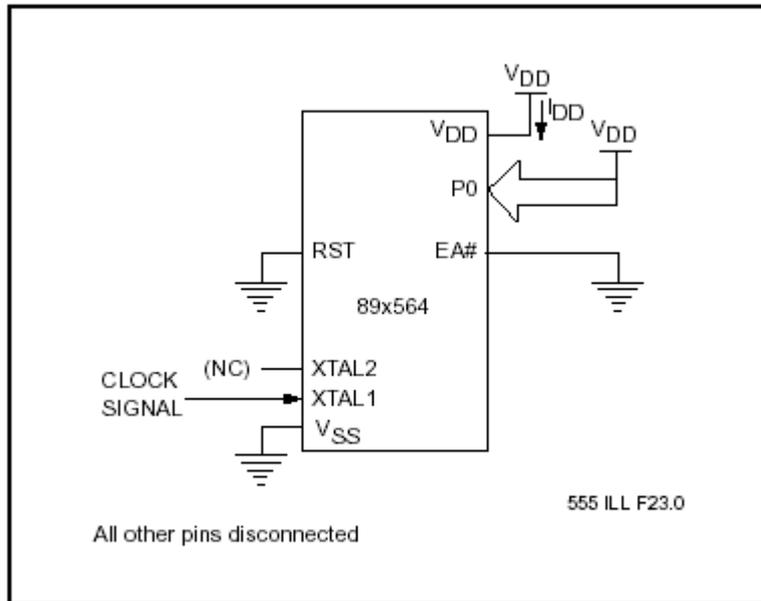


FIGURE 13-12: I_{DD} TEST CONDITION, IDLE MODE

TABLE 13-11: EXTERNAL MODE FLASH MEMORY PROGRAMMING/VERIFICATION PARAMETERS¹

Parameter ^{2,3}	Symbol	Min	Max	Units
Reset Setup Time	T _{SU}	3		μs
Read-ID Command Width	T _{RD}	1		μs
PSEN# Setup Time	T _{ES}	40		μs
Address, Command, Data Setup Time	T _{ADS}	0		ns
Chip-Erase Time	T _{CE}		150	ms
Block-Erase Time	T _{BE}		100	ms
Sector-Erase Time	T _{SE}		30	ms
Program Setup Time	T _{PROG}	1.2		μs
Address, Command, Data Hold	T _{DH}	0		ns
Byte-Program Time ⁴	T _{PB}		50	μs
Select-Block Program Time	T _{PSB}		500	ns
Re-map or Security bit Program Time	T _{PS}		80	μs
Verify Command Delay Time	T _{OA}		50	ns
Verify High Order Address Delay Time	T _{AHA}		50	ns
Verify Low Order Address Delay Time	T _{ALA}		50	ns

T13-11.1 555

1. For IAP operations, the program execution overhead must be added to the above timing parameters.
2. Program and Erase times will scale inversely proportional to programming clock frequency.
3. All timing measurements are from the 50% of the input to 50% of the output.
4. Each byte must be erased before programming.

13.3 外主模式下的 flash 存储器编程时序图

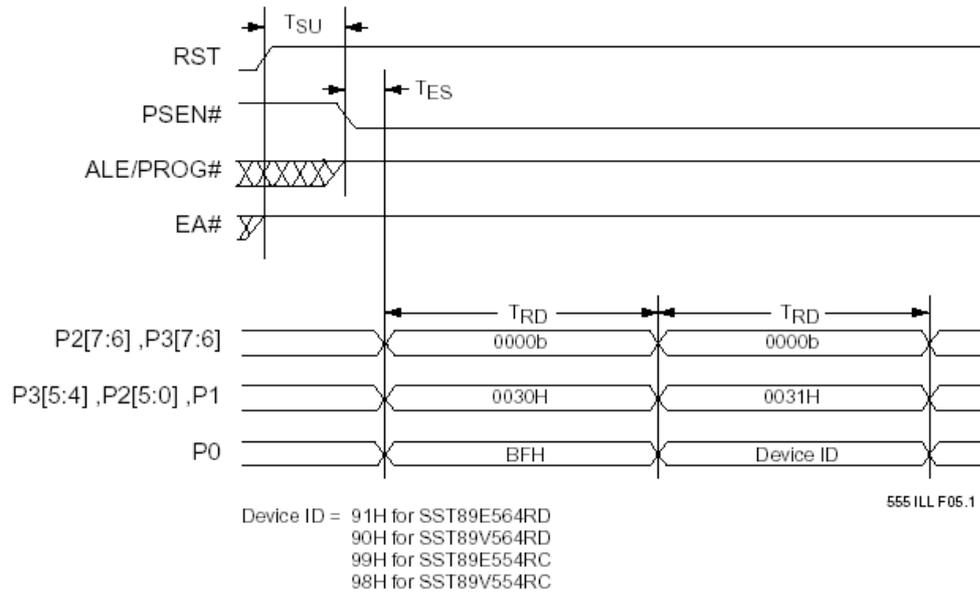


FIGURE 13-14: READ-ID

Reads chip signature and identification registers at the addressed location.

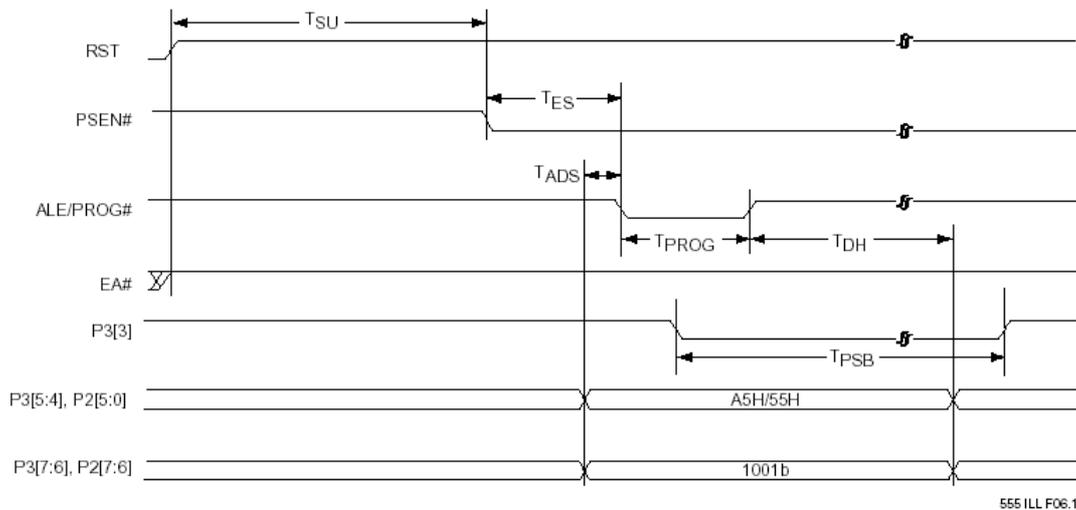


FIGURE 13-15: SELECT-BLOCK1 / SELECT-BLOCK0 (FOR SST89E564RD/SST89V564RD ONLY)

Enables the selection of either of the flash memory blocks prior to issuing a Byte-Verify, Block-Erase, Sector-Erase, or Byte-Program.

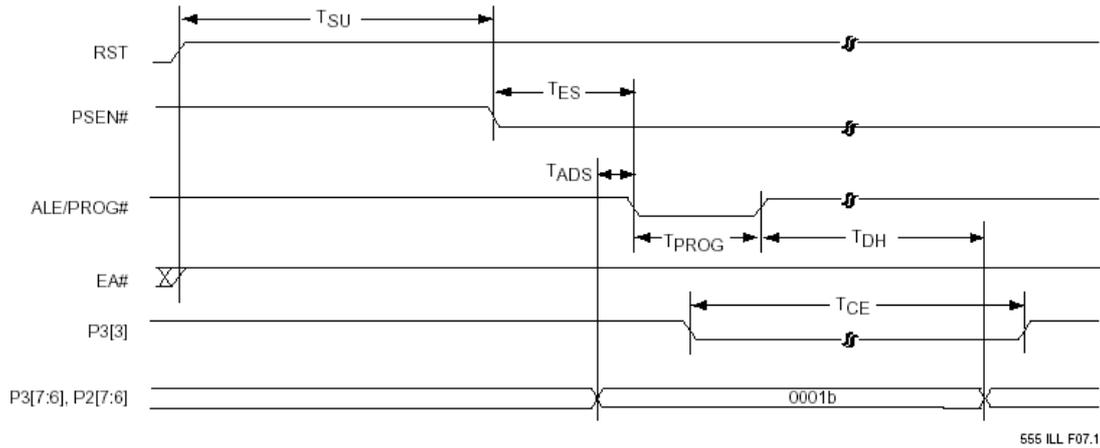


FIGURE 13-16: CHIP-ERASE

Erases both flash memory blocks. Security lock is ignored and the security bits are erased too.

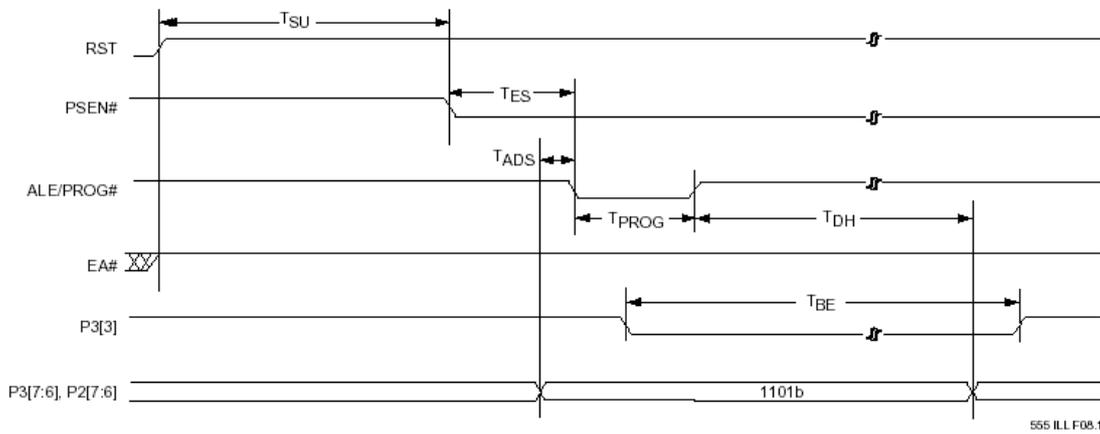


FIGURE 13-17: BLOCK-ERASE FOR SST89E564RD/SST89V564RD

Erases one of the flash memory blocks, if the security lock is not activated on that flash memory block.

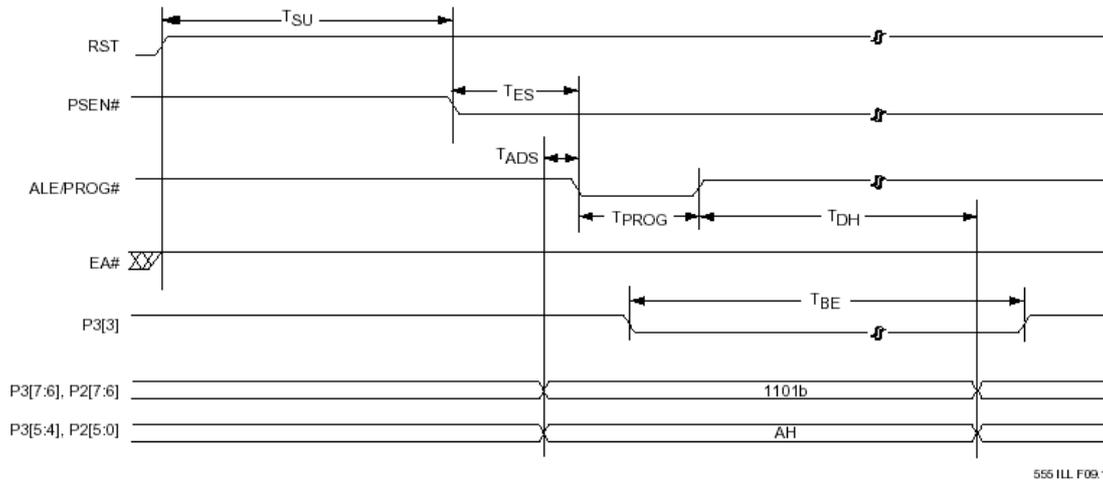


FIGURE 13-18: BLOCK-ERASE FOR SST89E554RC/SST89V554RC

Erases one of the flash memory blocks, if the security lock is not activated on that flash memory block.

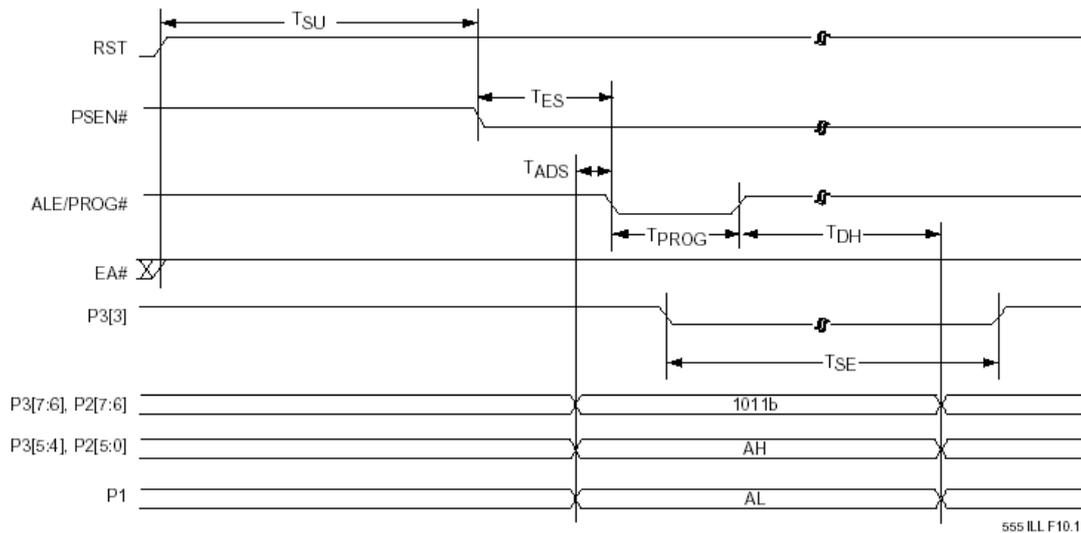
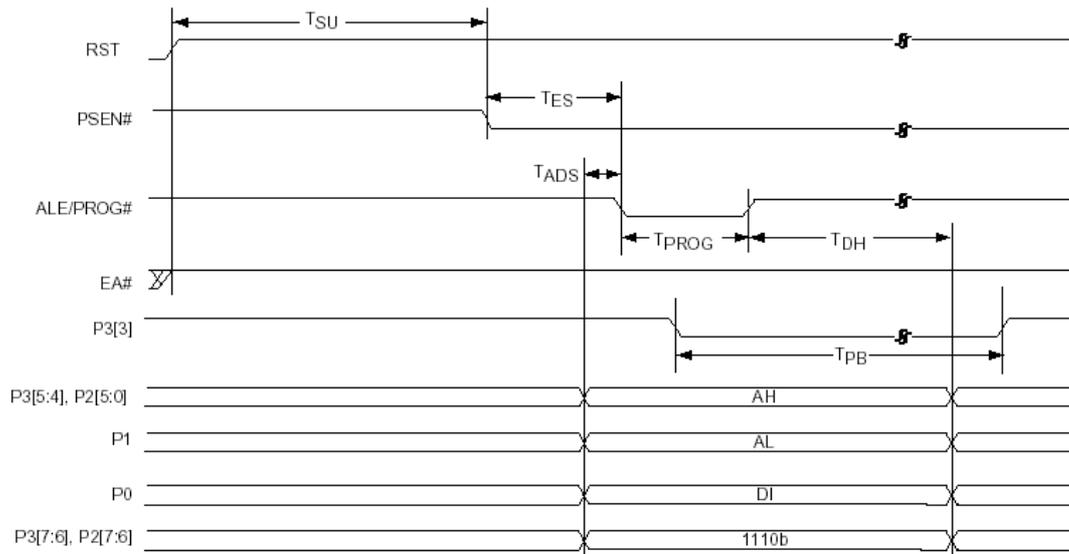


FIGURE 13-19: SECTOR-ERASE

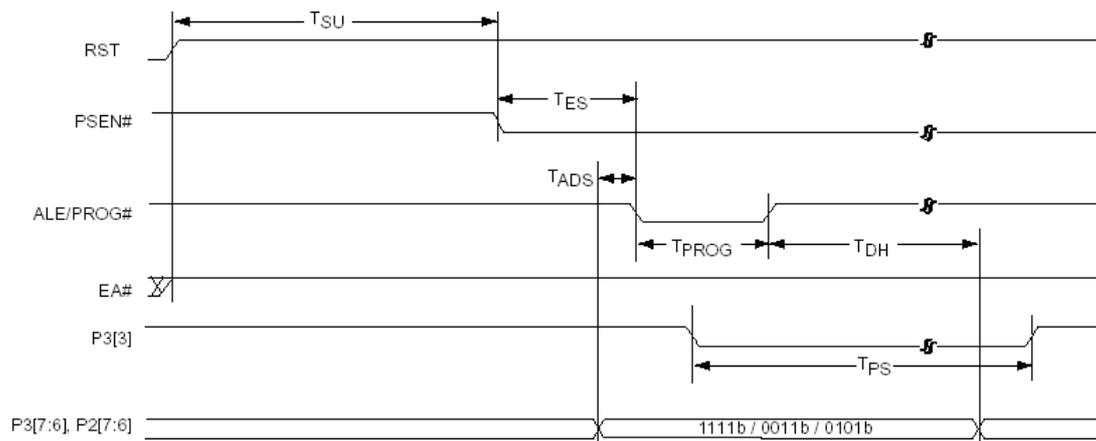
Erases the addressed sector if the security lock is not activated on that flash memory block.



555 ILL F11.2

FIGURE 13-20: BYTE-PROGRAM

Programs the addressed code byte if the byte location has been successfully erased and not yet programmed. Byte-Program operation is only allowed when the security lock is not activated on that flash memory block.



555 ILL F12.2

FIGURE 13-21: PROG-SB1 / PROG-SB2 / PROG-SB3

Programs the Security bits SB1, SB2 and SB3 respectively. Only a Chip-Erase will erase a programmed security bit.

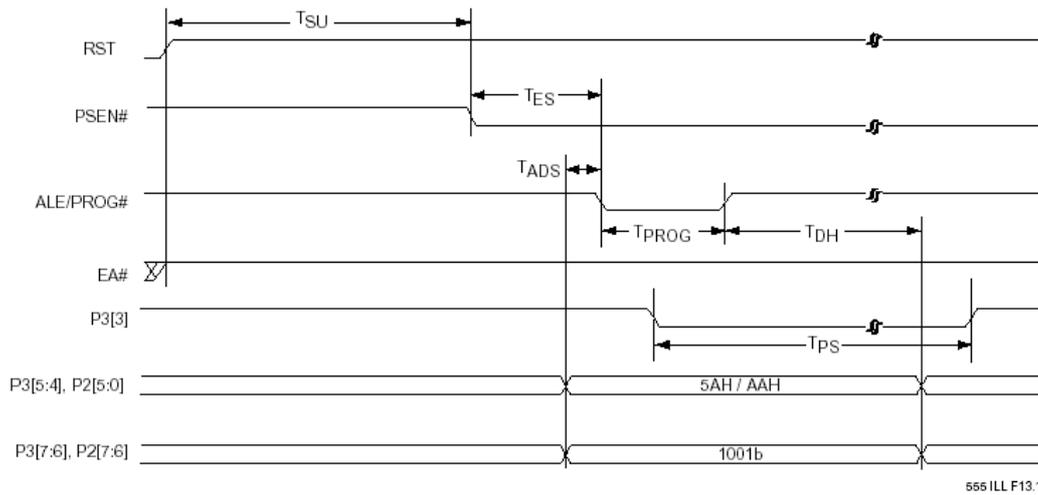


FIGURE 13-22: Prog-SC0 / Prog-SC1

Programs the start-up configuration bit SC0/SC1. Only a Chip-Erase will erase a programmed SC0/SC1 bit. Prog-SC1 applies to SST89E554RC/SST89V554RC only.

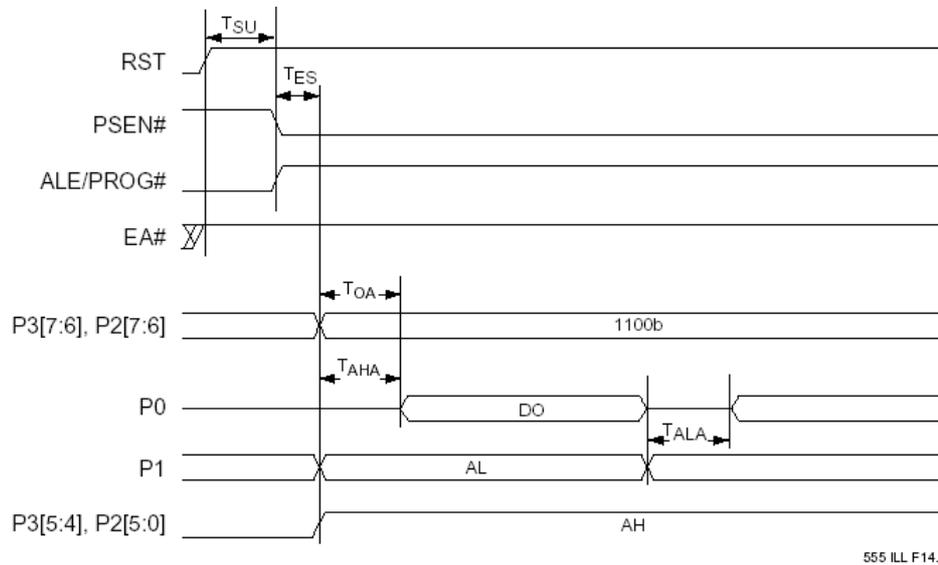
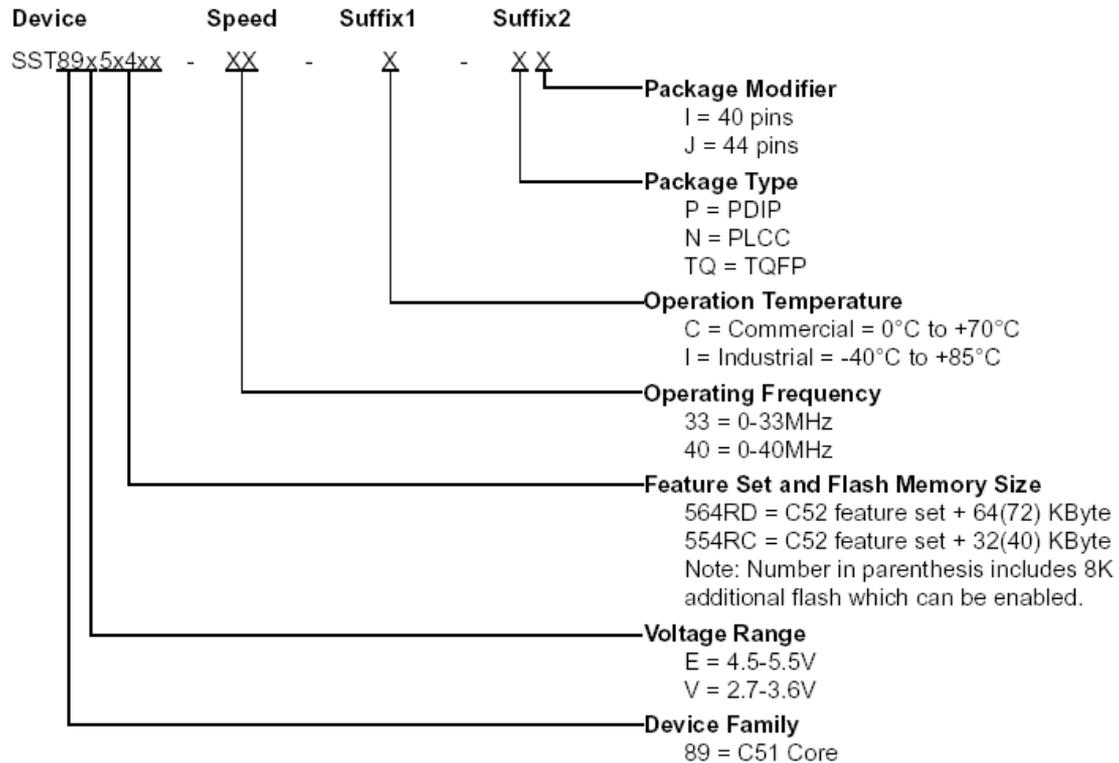


FIGURE 13-23: BYTE-VERIFY

Reads the code byte from the addressed flash memory location if the security lock is not activated on that flash memory block.

14.0 产品订购信息



14.1 (valid combinations)

Valid combinations for SST89E564RD

SST89E564RD-40-C-PI	SST89E564RD-40-C-NJ	SST89E564RD-40-C-TQJ
SST89E564RD-40-I-PI	SST89E564RD-40-I-NJ	SST89E564RD-40-I-TQJ

Valid combinations for SST89V564RD

SST89V564RD-33-C-PI	SST89V564RD-33-C-NJ	SST89V564RD-33-C-TQJ
SST89V564RD-33-I-PI	SST89V564RD-33-I-NJ	SST89V564RD-33-I-TQJ

Valid combinations for SST89E554RC

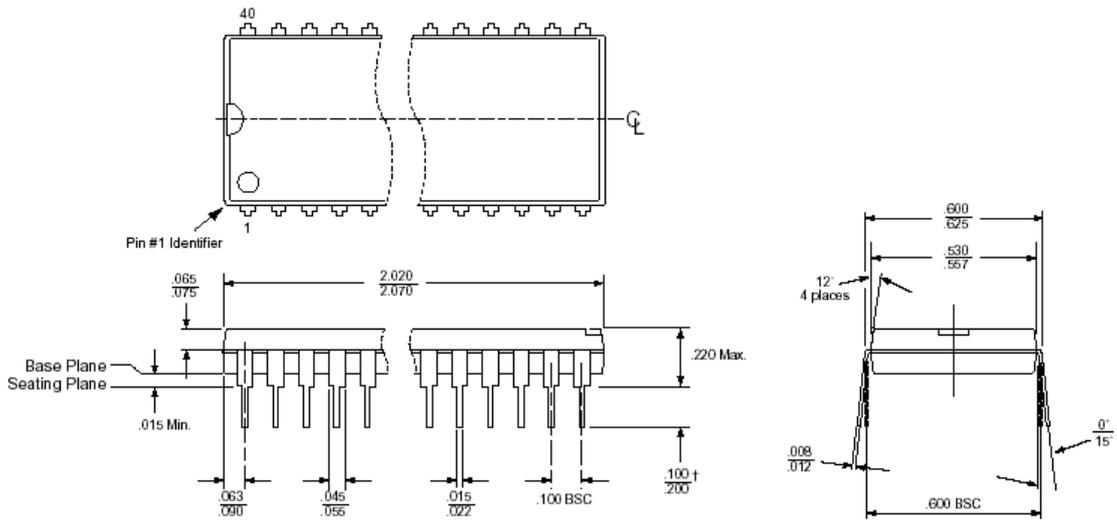
SST89E554RC-40-C-PI	SST89E554RC-40-C-NJ	SST89E554RC-40-C-TQJ
SST89E554RC-40-I-PI	SST89E554RC-40-I-NJ	SST89E554RC-40-I-TQJ

Valid combinations for SST89V554RC

SST89V554RC-33-C-PI	SST89V554RC-33-C-NJ	SST89V554RC-33-C-TQJ
SST89V554RC-33-I-PI	SST89V554RC-33-I-NJ	SST89V554RC-33-I-TQJ

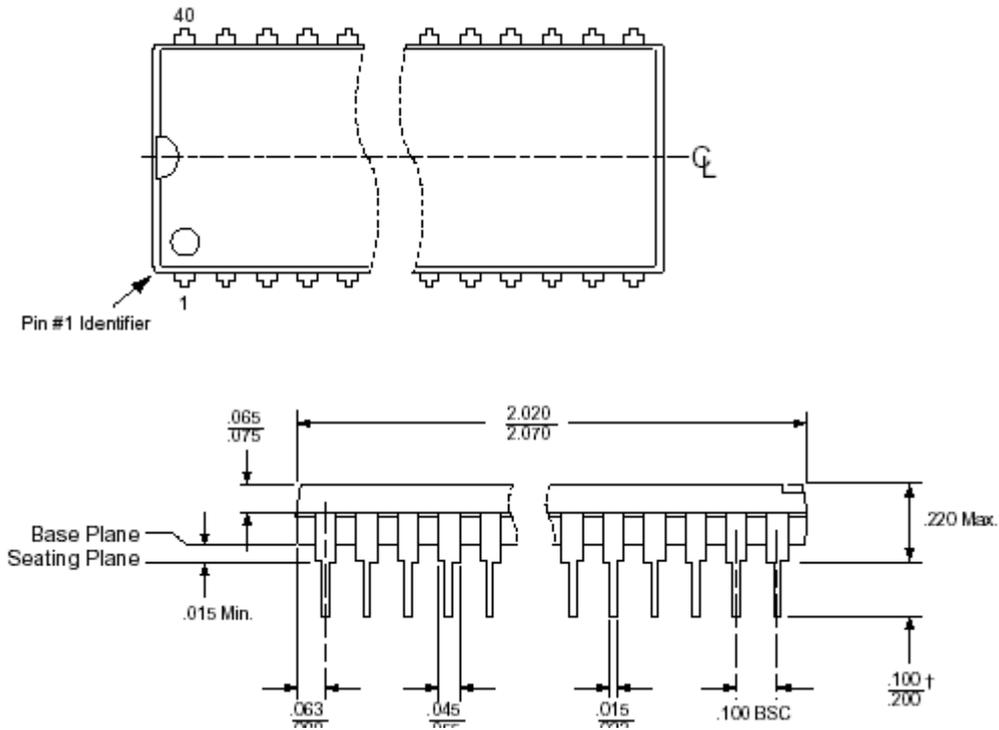
Note: Valid combinations are those products in mass production or will be in mass production. Consult your SST sales representative to confirm availability of valid combinations and to determine availability of new combinations.

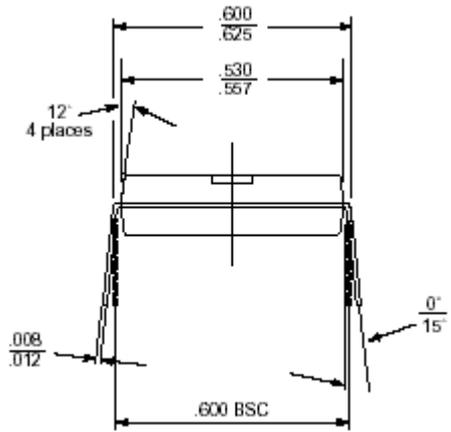
15.0 封装尺寸



- Note:
1. Complies with JEDEC publication 95 MS-011 AC dimensions (except as noted), although some dimensions may be more stringent.
 - † = JEDEC min is .115; SST min is less stringent
 2. All linear dimensions are in inches (min/max).
 3. Dimensions do not include mold flash. Maximum allowable mold flash is .010 inches.

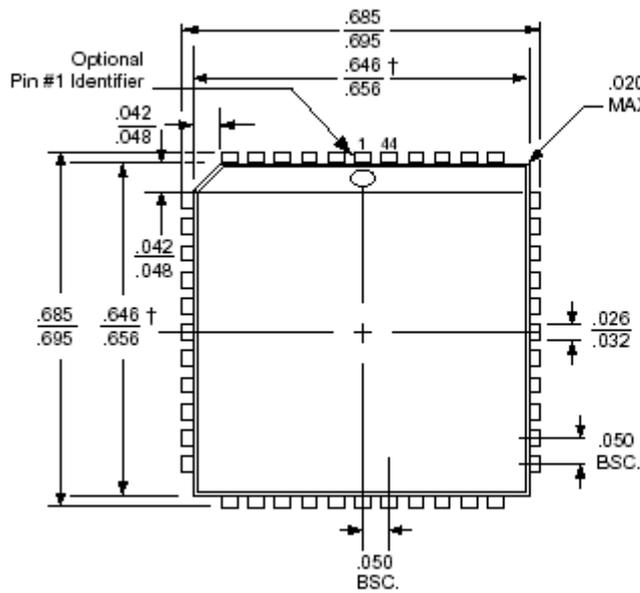
40.pdfPH-ILL.7



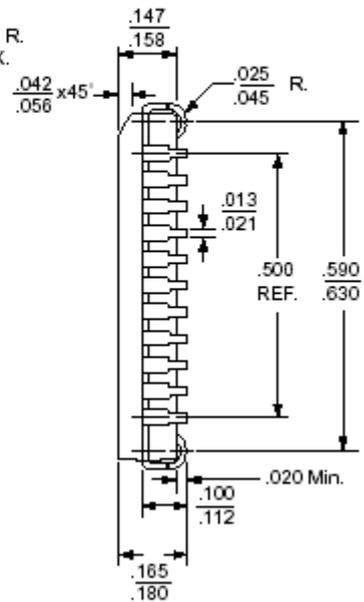


40-PIN PLASTIC DUAL IN-LINE PINS (PDIP)
SST PACKAGE CODE: PI

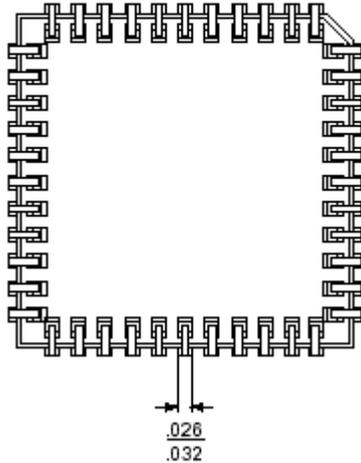
TOP VIEW



SIDE VIEW



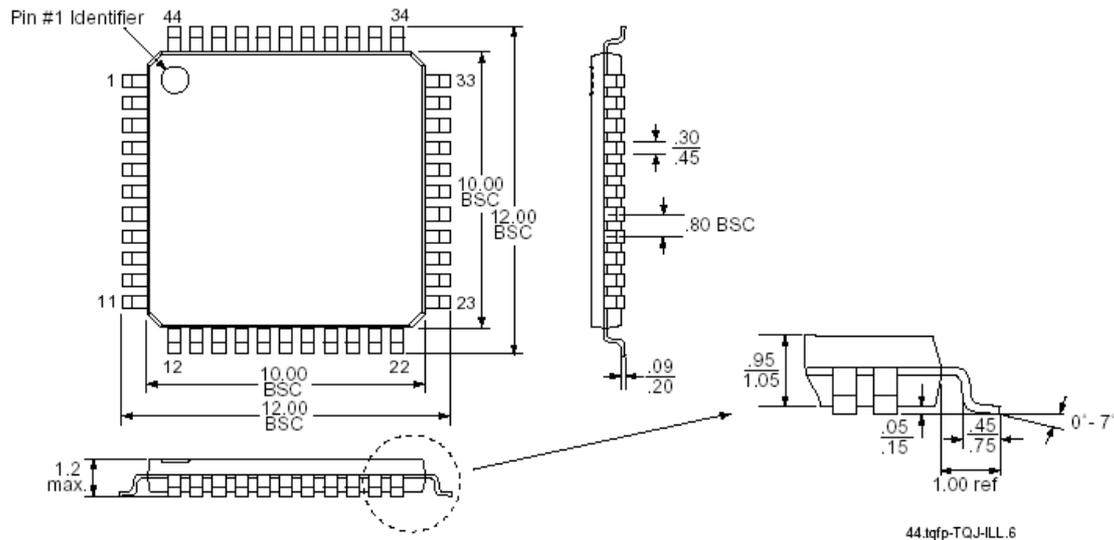
BOTTOM VIEW



44.PLCC.NJ-ILL.7

- Note:
1. Complies with JEDEC publication 95 MS-018 AC dimensions (except as noted), although some dimensions may be more stringent.
† = JEDEC min is .650; SST min is /ess stringent
 2. All linear dimensions are in inches (min/max).
 3. Dimensions do not include mold flash. Maximum allowable mold flash is .008 inches.
 4. Coplanarity: 4 mils.

44-LEAD PLASTIC LEAD CHIP CARRIER (PLCC) SST PACKAGE CODE: NJ



- Note:
1. Complies with JEDEC publication 95 MS-026 ACB dimensions, although some dimensions may be more stringent.
 2. All linear dimensions are in millimeters (min/max).
 3. Coplanarity: 0.1 (± 0.05) mm.
 4. Package body dimensions do not include mold flash. Maximum allowable mold flash is .25mm.

44-LEAD THIN QUAD FLAT PACK (TQFP) SST PACKAGE CODE: TQJ



Powered by xiaoguo's publishing studio
QQ:8204136